

06.11.00

2000/2011

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 26 JAN 2001

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 6月19日

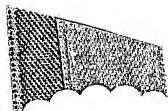
EKU

出願番号
Application Number:

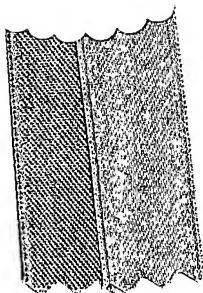
特願2000-182645

出願人
Applicant(s):

松下電器産業株式会社



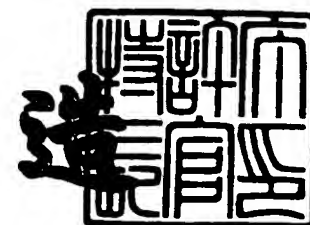
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



2001年 1月12日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3110960

| | |
|----------|---------------------------------------|
| 【書類名】 | 特許願 |
| 【整理番号】 | 2036420237 |
| 【提出日】 | 平成12年 6月19日 |
| 【あて先】 | 特許庁長官殿 |
| 【国際特許分類】 | G02F 1/133 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 井上 一生 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 西山 和廣 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 佐藤 一郎 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 熊川 克彦 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 滝本 昭雄 |
| 【発明者】 | |
| 【住所又は居所】 | 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式 会社内 |
| 【氏名】 | 木村 雅典 |

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【先の出願に基づく優先権主張】

【出願番号】 特願2000-114864

【出願日】 平成12年 4月17日

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 液晶素子

【特許請求の範囲】

【請求項 1】 一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、イオンを回収するための導電性物質が両基板に形成されていることを特徴とする液晶素子。

【請求項 2】 一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極、共通電極、信号配線電極の少なくともいずれかの電極の上の少なくとも一部分に絶縁膜の形成されていない箇所があり、前記絶縁膜の形成されていない部分により電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴とする液晶素子。

【請求項 3】 一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により画素電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴とする液晶素子。

【請求項 4】 一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、

前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記共通電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により共通電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴とする液晶素子。

【請求項5】一対の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極及び前記共通電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により前記画素電極及び前記共通電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴とする液晶素子。

【請求項6】前記液晶素子に封入される液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さいことを特徴とする請求項1～5のいずれかに記載の液晶素子。

【請求項7】前記液晶素子にスイッチング素子が形成されており、スイッチング素子の上部には絶縁膜が形成されていることを特徴とする請求項1～5のいずれかに記載の液晶素子。

【請求項8】前記導電性のブラックマトリクスに走査配線の最小の電圧レベルに対し正の電位が印加されることを特徴とする請求項1～5のいずれかに記載の液晶素子。

【請求項9】前記導電性のブラックマトリクスが前記共通電極と略同電位に設定されていることを特徴とする請求項1～5のいずれかに記載の液晶素子。

【請求項10】前記導電性のブラックマトリクスが導電性の樹脂により形成されていることを特徴とする請求項1～5のいずれかに記載の液晶素子。

【請求項11】前記液晶素子の基板間隔を一定に保持するスペーサーとして特

定の箇所に柱を形成することを特徴とする請求項1～5のいずれかに記載の液晶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置や光シャッターなどに利用される液晶素子に関するものである。

【0002】

【従来の技術】

液晶素子は薄型化、軽量化、低電圧駆動が可能などの長所により腕時計、電子卓上計算機、パーソナルコンピューター、パーソナルワードプロセッサなどに利用されている。

【0003】

従来主として用いられているTN (Twisted Nematic) 型液晶素子は上下基板に電極を形成し、基板に垂直な縦方向電界により液晶をスイッチングさせる方式である。

【0004】

これに対して、液晶素子の視野角を広げる方式として、同一基板上に画素電極及び共通電極を形成し、横方向の電界を印加することにより液晶分子を動作させる横電界方式が提案されている。この方式はIPS (In-Plane-Switching) 方式あるいは楕形電極方式とも呼ばれている（液晶ディスプレイ技術：産業図書p42参照）。

【0005】

また、IPS方式の改良版として、電極間隔を狭くして斜め電界を利用して駆動するFFSモード (Fringe Field Switching Mode) や対向基板側に電極を形成して斜め電界を利用するHSモード (Hybrid Switching Mode) などがある。

【0006】

【発明が解決しようとする課題】

IPSパネルの構成を図34、図35に示す。

【0007】

図34は従来のIPSの液晶素子の構成を示す上面図である。図35(a)は図34のA-A'での断面図である。図35(b)は図34のB-B'での断面図である。図35(c)は図34のC-C'での断面図である。

【0008】

従来のTN型液晶素子は電極が上下基板にあるが、IPSパネルは電極が同一平面上に存在している。

【0009】

また、ドレイン14と接続された電極8、9を画素電極と呼び、ドレイン14と接続されていない電極5、6を共通電極と呼んでいる。

【0010】

IPSパネルにおいて図36に示すように電極間に導電性の異物50が存在する場合には電極間ショートとなる。

【0011】

図36に示すようにゲート電極4と共通電極6間に異物50があり、ゲート電極と共通電極間がショートしている場合にはその接合部分(異物のある部分)にレーザーを照射して異物を除去する方法が用いられている。

【0012】

しかし異物を除去した場合はその箇所の電極も切断されており、ゲート電極上部の絶縁膜が破壊され、ゲート電極が露出してしまう。

【0013】

ゲート電極が露出した状態で高温動作をした場合にその部分に黒点状の表示ムラが発生してしまうことがわかった。

【0014】

この原因としてはゲート電位はほとんどの期間が負電位になっているので、液晶中へ電子注入が起こり、液晶層中にイオンが多数生成する、あるいは液晶層中のイオンがゲートが露出した部分に集まり、イオンの偏在が起こるためであると考えられる。この発生メカニズムを示す模式図を図37に示す。図37では液晶中へ注入される電子を e^- とし、液晶中の物質Aがイオン化されて A^- となる様子

を模式的に示している。

【0015】

黒点状のムラに関しては特開平10-206857号公報でも言及されている。特開平10-206857号公報によれば黒点状のムラは画素電極、ソース信号配線の保護層のクラック部分で電気化学反応が起こり、イオン性物質が生成することによって液晶層の電圧保持率が低下して発生するとしている。そしてその解決法として保護膜の膜厚をこの保護膜に接する電極の膜厚より $0.4\mu\text{m}$ 以上厚くする方法を考案されている。しかしこの方法ではショート対策のためにレーザーを照射して電極を切断すると保護膜がいくら厚くても保護膜は破壊されてしまうので黒点状のムラは発生してしまう。

【0016】

また、液晶の比抵抗が $10^{13}\Omega\cdot\text{cm}$ 以上で、光学的な電圧保持率低下の原因となる絶縁膜を除去し、電界を発生させる電極構造の一部を配向膜に直接接して形成する方法が考案（特開平10-186391号公報）されている。

【0017】

このように電極構造の一部を配向膜に直接接して形成する方法でも、全電極が絶縁膜で被覆されている場合よりは黒点状斑点の大きさは弱冠低減される。しかしこの方法では黒点状斑点低減の効果は小さく、不十分であった。筆者らが検討を行った結果その理由として黒点状のムラの原因となる液晶中のイオン性物質は図38の模式図に示すように、アレイ基板側だけではなく、対向基板側（カラーフィルタ基板側）にも広がるので、片方の基板側（アレイ基板側）だけ絶縁膜を除去した電極を形成しても不十分であることがわかった。

【0018】

また特開平10-186391号公報は他方の基板に導電層を形成する方法も記述しているが、これは静電気対策のためであり、また導電層の上にはオーバーコートが形成されているので、本発明とは異なる。

【0019】

また特開平10-186391号公報は液晶の比抵抗が $10^{13}\Omega\cdot\text{cm}$ 以上では表示の焼き付き現象（ある一定パターンを長時間表示した後、他のパターンに

切り替えても前のパターンが残る現象)が顕著に現れてしまう。

【0020】

また横電界方式の液晶素子において開口率を高くするために、導電性のブラックマトリクスをコモン電極と略同電位にしたり、ブラックマトリクスの上にコモン電極と略同電位の導電膜を形成する方法(特開平10-206867号公報)あるいは(特開平9-269504号公報)が考案されている。しかし先に述べたように黒点状のムラの原因となる液晶中のイオン性物質は図39の模式図に示すように、対向基板側(カラーフィルタ基板側)だけではなく、アレイ基板側にも広がるので、片方の基板側(対向基板側)だけ絶縁膜を除去した電極を形成しても不十分であった。

【0021】

また特開平9-269504号公報においても導電性のブラックマトリクスを用いる方法が考案されている。しかし特開平9-269504号公報の目的は縦電界により白輝度を高めることであり、本発明の主旨であるイオンを回収することが目的ではない。また絶縁膜がない場合はショートが増加する。

【0022】

本発明は前記従来課題を考慮してなされたものであって、ゲート電位が露出した場合でも黒点状の表示ムラがなく良好な表示品位の液晶素子を得ることができる。

【0023】

【課題を解決するための手段】

前記の目的を達成するために請求項1の発明は、一対の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、イオンを回収するための導電性物質が両基板に形成されていることを特徴としている。

【0024】

前記構成にすることにより、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるためにイオンの偏

在が起こらず、黒点状ムラの発生を抑えることができる。

【0025】

前記の目的を達成するために請求項2の発明は、一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極、共通電極、信号配線電極の少なくともいずれかの電極の上の少なくとも一部分に絶縁膜の形成されていない箇所があり、前記絶縁膜の形成されていない部分により電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

【0026】

前記構成にすることにより、ゲート以外の電位が露出しているために、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるためにイオンの偏在が起こらず、黒点状ムラの発生を抑えることができる。

【0027】

特に両基板（アレイ側基板と対向側基板）に絶縁膜の形成されていない箇所があるためにイオンが両基板側で非イオン化されるために黒点状ムラの発生を抑えることができることが重要な点である。この模式図を図40に示す。

【0028】

また請求項3の発明は、一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により画素電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の

前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

【0029】

前記構成にすることにより、画素電極の上には絶縁膜が全く形成されておらずまた対向基板側に導電性のブラックマトリクスが形成されているので黒点状ムラの発生を抑えることができる。

【0030】

また請求項4の発明は、一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記共通電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により共通電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

【0031】

前記構成にすることにより、共通電極の上には絶縁膜が全く形成されておらずまた対向基板側に導電性のブラックマトリクスが形成されているので黒点状ムラの発生を抑えることができる。

【0032】

また請求項5の発明は、一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、前記画素電極及び前記共通電極の上には絶縁膜が全く形成されておらず、前記絶縁膜の形成されていない部分により前記画素電極及び前記共通電極が配向膜のみを介して、あるいは直接液晶に接しており、前記画素電極及び前記共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の前記導電性のブラックマトリクスの一部

あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

【0033】

前記構成にすることにより、画素電極及び共通電極の上には絶縁膜が全く形成されておらずまた対向基板側に導電性のブラックマトリクスが形成されているので黒点状ムラの発生を抑えることができる。

【0034】

ただし画素電極の上と共通電極の上には絶縁膜がないので電極間のショートは発生しやすくなる。

【0035】

また請求項6の発明は、前記液晶素子に封入される液晶の比抵抗が $10^{13}\Omega\cdot\text{cm}$ よりも小さいことを特徴としている。

【0036】

このように規制することにより表示の焼き付き現象（ある一定パターンを長時間表示した後、他のパターンに切り替えても前のパターンが残る現象）を抑えることができる。

【0037】

また請求項7の発明は前記液晶素子にスイッチング素子が形成されており、スイッチング素子の上部には絶縁膜が形成されていることを特徴としている。このように規制することによりトランジスタの劣化を防ぐことができる。

【0038】

また請求項8の発明はブラックマトリクスに走査配線の最小の電圧レベルに対し正の電位が印加されることを特徴としている。このように規制することにより、より効果的に生成したイオンを非イオン化することができ、黒点状ムラの発生を抑えることができる。

【0039】

また請求項9の発明は前記ブラックマトリクスが前記共通電極と略同電位に設定されていることを特徴としている。このように規制することにより、より効果的に生成したイオンを非イオン化することができ、黒点状ムラの発生を抑えることができる。またブラックマトリクスを共通電極と同じ電位にする場合はブラッ

クマトリクス用として特別の電位供給手段を設ける必要がないので、構造・工程の簡略化を図ることができる。

【0040】

また請求項10の発明は前記導電性のブラックマトリクスが導電性の樹脂により形成されていることを特徴としている。このように規制することにより、カラーフィルターを形成するのと同じ工程で作製できる。またCrなどの金属を形成するのとは異なり高温形成の必要がないので、カラーフィルターを形成した後にブラックマトリクスを形成することができるのでブラックマトリクスを配向膜あるいは液晶と接する箇所に形成することができる。

【0041】

また請求項11の発明は液晶素子の基板間隔を一定に保持するスペーサーとして特定の箇所に柱を形成することを特徴としている。このように規制することにより上下基板がショートしにくい箇所を選んでスペーサーを設置することができるので、両基板に導電性物質が形成されていてもショートしにくくなる。

【0042】

【発明の実施の形態】

(実施の形態1)

図1は本発明による液晶素子のアレイ基板側の構成を示す上面図である。

【0043】

図2(a)は図1のA-A'での断面図である。図2(b)は図1のB-B'での断面図である。図2(c)は図1のC-C'での断面図である。

【0044】

以下図1及び図2に示す液晶素子の実施例を説明する。

【0045】

ガラス基板1上に金属配線として映像信号線(ソース)7と走査信号線(ゲート)4をマトリクス状に形成し、その交点に能動素子(スイッチング素子)として半導体層(TFT:Thin Film Transistor)を形成する。

【0046】

ガラス基板1上にA1などの金属を用いてゲート電極4と共通電極5、6を選

択的に形成する。

【0047】

次にプラズマCVD法を用いて第1のゲート絶縁膜20となるSiNxを3000Åの厚さで形成し、トランジスタのチャネル部となる半導体層（アモルファスシリコン層）40を500Åの厚さで形成し、エッチングストッパ21となるSiNxを1500Åの厚さで順次形成する。この時に図2（c）に示すようにトランジスタのチャネル部の形成方法としてゲート電極の上の絶縁膜SiNxをゲート電極4よりも小さく形成してエッチングストッパ21とし、その上にプラズマCVD法を用いてリンを含む n^+ のアモルファスシリコン層41を500Åの厚さで形成し、オーミック接合を得る（ n^+ ：高濃度のドーピングであり、 n 型不純物添加の割合が多い）。

【0048】

次に電極などを形成する周辺部分にコンタクトホールを形成し、配線部分とのコンタクトがとれるようにする。

【0049】

次にAl/Tiなどの金属を用いて信号配線（ソース線）7、ドレイン線14、画素電極8、9を4000Åの厚さで形成する。

【0050】

その後配線を保護するために第2の絶縁膜（パッシベーション膜）22としてSiNxをプラズマCVD法を用いて3500Åの厚さで形成する。

【0051】

基板を洗浄した後、レジストをスピナーにより塗布し、マスク露光を行うことにより、第2の絶縁膜（パッシベーション膜）を選択的に形成し、画素部において絶縁膜の一部が形成されていない領域を形成する。具体的には図1、2に示すように蓄積容量部の上の第2の絶縁膜（パッシベーション膜）を形成しないようにする。

【0052】

その後現像、乾燥を行った後、RIE（reactive ion etching）によりドライエッチングを行った後、レジストを除去する。

【 0 0 5 3 】

次にカラーフィルター 1 6 のついた対向のガラス基板 2 側の導電性ブラックマトリクス部分の一部が配向膜と接する構造にしておき、対向基板側でも発生したイオンを非イオン化できるようにしておく。

【 0 0 5 4 】

導電性のブラックマトリクスの形成方法としては導電性の金属を樹脂中に混合して形成した。

【 0 0 5 5 】

図 1 1 は対向のガラス基板側の構成を示す上面図である。

【 0 0 5 6 】

図 1 2 (a) は図 1 1 の A - A ' での断面図である。図 1 2 (b) は図 1 1 の B - B ' での断面図である。

【 0 0 5 7 】

次にカラーフィルター 1 6 のついた対向のガラス基板 2 とアレイが形成された基板 1 上に配向膜 3 0 (A L 5 4 1 7 : J S R 製) を印刷・硬化し、ラビング処理を施す。

【 0 0 5 8 】

次にガラス基板 2 の縁部にシール樹脂 (ストラクトボンド : 三井東圧製) を印刷する。シール樹脂中にはスペーサーとして $4.0 \mu\text{m}$ のガラスファイバー (日本電気硝子製) を混入している。

【 0 0 5 9 】

その後、基板間隔を保持するために表示領域内にスペーサーとして直径 $3.5 \mu\text{m}$ の樹脂球 (エポスター G P - H C : 日本触媒 (株) 製) を散布する。

【 0 0 6 0 】

その後基板 1 及び対向基板 2 を貼り合わせ、 150°C で 2 時間加熱することでシール樹脂を硬化させる。

【 0 0 6 1 】

以上のようにして作製した空パネルに誘電率異方性が正の液晶 3 を真空注入法 (空パネルを減圧した槽内に設置し、パネル内を真空にした後、注入口を液晶に

接触させ、槽内を常圧に戻すことにより、液晶をパネル内に注入する方法)にて注入する。

【0062】

(表1)に用いた液晶とその比抵抗を示す。

【0063】

【表1】

| | 比抵抗($\Omega \cdot \text{cm}$) | 表示の焼き付き |
|-----|---------------------------------|---------|
| 液晶A | 10^{11} 以上 10^{12} より小さい。 | ○ |
| 液晶B | 10^{12} 以上 10^{13} より小さい。 | ○ |
| 液晶C | 10^{13} 以上 10^{14} より小さい。 | △ |
| 液晶D | 10^{14} 以上 10^{15} より小さい。 | × |

【0064】

その後、液晶素子の注入口に封口樹脂として光硬化性樹脂(ロックタイト352A:日本ロックタイト製)を注入口全体に塗布し、光を $10\text{mW}/\text{cm}^2$ で5分間照射して封口樹脂を硬化した。

【0065】

これら基板1、2の上下(ガラス基板の外側)に偏光板(NPF-HEG1425DU:日東電工製)を貼付した。

【0066】

比較例として、(表2)に示すパネルを作製した。

【0067】

【表2】

| | アレイ基板側 絶縁膜 | 対向基板側 ブラックマトリクス の露出 | 黒点状ムラの 大きさ |
|------|---------------|---------------------------|---------------|
| 本発明 | 絶縁膜除去あり | あり | 0.1mm |
| 比較例1 | 絶縁膜除去なし | なし | 5mm |
| 比較例2 | 絶縁膜除去なし | あり | 2mm |
| 比較例3 | 絶縁膜除去あり | なし | 2mm |

【0068】

比較例 1 はゲート電位に偏在したイオンを非イオン化するための電極が露出されていないので、黒点状ムラは大きい。

【0069】

比較例 2 はアレイ基板の絶縁膜は除去されていないが、対向基板側に非イオン化するためのブラックマトリクスが形成されているために、黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

【0070】

比較例 3 はアレイ基板の絶縁膜が除去されているために、ある程度ゲート電位に偏在したイオンを非イオン化できるが、対向基板側に非イオン化するためのブラックマトリクスが露出されていないために、黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

【0071】

本発明ではアレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための電極が形成されているため黒点状のムラが 0.1 mm 以下と十分小さく抑えることができる。

【0072】

また本発明と比較例の模式図を図 41 に示す。

【0073】

これらのパネルのゲート部分にレーザーを照射して、ゲートの電位を露出させ、70℃の高温槽の中に入れ、12時間駆動させた後、中間調を表示させて評価した。

【0074】

対向基板側の第 3 の電極の電位はアレイ基板側の共通電極と同電位になるように設定した。

【0075】

その結果、表 2 に示すように比較例 1 はゲート電位に偏在したイオンを非イオン化するための電極が露出されていないので、黒点状ムラは大きくなってしま

【0076】

比較例 2 はアレイ基板の絶縁膜は除去されていないが、対向基板側に非イオン化するためのブラックマトリクスが形成されているために、黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

【0077】

比較例 3 はアレイ基板の絶縁膜が除去されているために、ある程度ゲート電位に偏在したイオンを非イオン化できるが、対向基板側に非イオン化するためのブラックマトリクスが露出されていない、あるいは対向基板側の電極が露出されていないために、黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

【0078】

本発明ではアレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための導電性ブラックマトリクスが形成されている、すなわちイオンを回収するための導電性物質が両基板に形成されており、前記導電性物質が配向膜あるいは液晶と直接接しているために黒点状のムラが 0.1 mm 以下と十分小さく抑えることができた。

【0079】

また表 1 からわかるように液晶の比抵抗を $10^{13} \Omega \cdot \text{cm}$ より小さくすることにより表示の焼き付きのない良好な表示を得ることができた。

【0080】

(実施の形態 2)

図 13 は本発明による液晶素子の対向のガラス基板側の構成を示す上面図である。

【0081】

実施の形態 1 では対向基板側のブラックマトリクスを画素の回りを囲む構成にしたが、本実施例では対向基板側のブラックマトリクスは信号配線（ソースライン）に沿って構成する。

【0082】

その他は実施の形態 1 と同様である。

【0083】

図13のような構成にすることにより、アレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための導電性ブラックマトリクスが形成されている、すなわちイオンを回収するための導電性物質が両基板に形成されており、前記導電性物質が配向膜あるいは液晶と直接接しているために黒点状のムラを小さく抑えることができる。

【0084】

実施の形態1、2では図1のように蓄積容量の上の画素電極上の絶縁膜を除去したが、除去する部分は図3～6に示すように信号配線電極上や画素電極の上や、それらの電極にまたがるように除去しても良い。

【0085】

また図7、図8に示すように共通電極を画素電極よりも上に形成するようにし、共通電極の上の絶縁膜の一部を除去しても良い。

【0086】

また図9、図10に示すように共通電極と画素電極を同一層に形成し、その上の絶縁膜の一部を除去しても良い。

【0087】

また実施の形態1、2では対向基板側に形成するブラックマトリクスとして図11、13に示すような構成にしたが、図14に示すように走査配線（ゲートライン）に対応する部分にだけ形成しても良く、また図15～18に示すように島状に形成しても良い。

【0088】

（実施の形態3）

図19は本発明による液晶素子の構成を示す上面図である。

【0089】

図20（a）は図19のA-A'での断面図である。図20（b）は図19のB-B'での断面図である。図20（c）は図19のC-C'での断面図である。

【0090】

実施の形態1では第2の絶縁膜を除去する箇所として蓄積容量の上の一部のみを除去したが、本発明ではスイッチング素子であるTFTの上部にだけ第2の絶

縁膜（パッシベーション膜）22を形成するようにする（すなわち画素電極の上には絶縁膜を全く形成しないようにする）。その他は実施の形態1と同様である。

【0091】

対向基板側は図11のように導電性のブラックマトリクスを形成し、導電性のブラックマトリクスが直接配向膜と接するようにする。

【0092】

図19、図20のような構成にすることにより、画素電極の上には絶縁膜が全く形成されていないので、実施の形態1に比べて黒点状ムラの発生をさらに抑えることができる。

【0093】

実施の形態3において対向基板側は図13～18に示すような形状でも良く、またアレイ基板側は図21に示すように走査配線電極側に絶縁膜を形成しても良く、また図22に示すように信号配線電極上に絶縁膜を形成しても良く、また図23に示すように走査配線電極上や信号配線電極上に絶縁膜を形成しても良い。

【0094】

（実施の形態4）

図24は本発明による液晶素子の構成を示す上面図である。

【0095】

図25（a）は図24のA-A'での断面図である。図25（b）は図24のB-B'での断面図である。図25（c）は図24のC-C'での断面図である。

【0096】

実施の形態3ではガラス基板1上に走査線4と共通電極5、6を形成し、その上に第1の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成したが、

本発明ではガラス基板1上に信号線7、ドレイン14、画素電極8、9、半導体層41、40を形成し、その上に第1の絶縁膜20を形成し、その上に走査線4と共通電極5、6を選択的に形成する。

【0097】

すなわち実施の形態 3 では画素電極 8 上の一部に絶縁膜がなく、共通電極 6 上に絶縁膜が形成されている構成であったが、本発明では画素電極 8 上に絶縁膜が形成されており、共通電極 6 の上には絶縁膜が形成されていない構成である。

【0098】

アレイ基板側は図 24、図 25 に示すようにスイッチング素子である TFT の上部にだけ絶縁膜（パッシベーション膜）22 を形成するようにする。

【0099】

対向基板の形成方法は実施の形態 1 と同様である。

【0100】

対向基板側は図 11 のように導電性のブラックマトリクスを形成し、導電性のブラックマトリクスが直接配向膜と接するようにする。

【0101】

このように共通電極上の絶縁膜を除去し、対向基板上に導電性のブラックマトリクスを形成することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表示品位の液晶素子を得ることができた。

【0102】

実施の形態 4 において対向基板側は図 13～18 に示すような形状でも良く、またアレイ基板側は図 26 に示すように走査配線電極側に絶縁膜を形成しても良く、また図 27 に示すように信号配線電極上に絶縁膜を形成しても良く、また図 28 に示すように走査配線電極上や信号配線電極上に絶縁膜を形成しても良い。

【0103】

（実施の形態 5）

図 29 は本発明による液晶素子の構成を示す上面図である。

【0104】

図 30（a）は図 29 の A-A' での断面図である。図 30（b）は図 29 の B-B' での断面図である。

【0105】

実施の形態 3 ではガラス基板 1 上に走査線 4 と共通電極 5、6 を形成し、その

上に第 1 の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成したが

本発明ではガラス基板 1 上に信号線 7、ドレイン 14、画素電極 8、9、半導体層 41、40 を形成し、その上に第 1 の絶縁膜 20 を形成し、その上に走査線 4 と共通電極 5、6 と画素電極 8、9、を選択的に形成する。

【0106】

すなわち本発明では画素電極 8 と共通電極 6 を同一の層に形成する。アレイ基板側は図 29、30 に示すようにスイッチング素子である TFT の上部にだけ絶縁膜（パッシベーション膜）22 を形成するようにする。

【0107】

対向基板の形成方法は実施の形態 1 と同様である。

【0108】

対向基板側は図 11 のように導電性のブラックマトリクスを形成し、導電性のブラックマトリクスが直接配向膜と接するようにする。

【0109】

このように画素電極上及び共通電極上の絶縁膜が除去されており、また対向基板上に導電性のブラックマトリクスを形成することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表示品位の液晶素子を得ることができた。

【0110】

実施の形態 5 において対向基板側は図 13～18 に示すような形状でも良く、またアレイ基板側は図 31 に示すように走査配線電極側に絶縁膜を形成しても良く、また図 32 に示すように信号配線電極上に絶縁膜を形成しても良く、また図 33 に示すように走査配線電極上や信号配線電極上に絶縁膜を形成しても良い。

【0111】

（実施の形態 6）

図 42 は本発明による液晶素子の構成を示す上面図である。図 43 は図 42 の C-C' にでの断面図である。

【0112】

実施の形態 1 では基板間隔を一定に保持するスペーサーとして樹脂球を散布したが、本実施例ではカラーフィルタ側に突起物（柱）60 を形成しておく。それ以外は実施の形態 1 と同様である。

【0113】

突起物の形成方法としては感光性アクリル樹脂（PC335：JSR製）を用いて以下の方法で行った。感光性アクリル樹脂（PC335：JSR製）をカラーフィルタ上にスピコートにより塗布した後、80℃で1分間プリベークを行った。その後所定のマスクを用いて 300 mJ/cm^2 で露光を行った。その後現像液CD702ADにて25℃で1分間現像を行い、流水で洗浄後、220℃で1時間ポストベークを行い（室温より昇温する）、膜厚 $5.0\text{ }\mu\text{m}$ の突起物60を形成した。

【0114】

突起物60の形成場所61としてはアレイ側の電極が第1の絶縁膜20、第2の絶縁膜22で覆われている箇所に形成した。

【0115】

本発明のように基板間隔を一定に保持するスペーサーとして特定の箇所に柱を形成することにより、上下基板がショートしにくい箇所を選んでスペーサーを設置することができるので、両基板に導電性物質が形成されていてもショートしにくくなる。

【0116】

実施の形態6のアレイ基板、対向基板の構成は実施の形態1と同様に形成したが、実施の形態2、3、4、5の構成でも良い。また基板間隔を一定に保持するスペーサーはアレイ基板側に形成しても良い。

【0117】

なお本実施の形態では液晶としてネマティック液晶を用いたが、ネマティック液晶に限らず、強誘電性液晶や反強誘電性液晶など液晶の種類によらず有効である。

【0118】

また配向方法としてラビングを用いない配向（例えば光により配向させる方法

）を用いるとさらに均一な配向を得ることができるのでコントラストが良くなる。

【0119】

すなわち本発明は液晶材料や配向膜材料、配向方法などによらずに有効である。

【0120】

また本発明では能動素子として3端子素子のTFTを用いたが、2端子素子のMIM (Metal-Insulator-Metal)、ZnOバリスタやSiNxダイオード、a-Siダイオードなどでも良い。

【0121】

また本実施例ではトランジスタの構造としてボトムゲート構造及びトップゲート構造のアモルファスシリコン (a-Si) を用いたが、他の構成でも良く、またポリシリコン (p-Si) などでも良い。TFTの構造もチャネル保護型でもチャネルエッチ型でもどちらでも良い。すなわち本発明はTFTの構造や種類にかかわらず有効である。

【0122】

また基板周辺に駆動回路が形成されていても良い。

【0123】

また本実施例では両基板をガラス基板で形成したが、一方あるいは両方の基板をフィルムやプラスチックなどで形成しても良い。

【0124】

またアレイ基板側にカラーフィルターを形成した基板でも良い。

【0125】

また画素電極、共通電極の電極としてAlを例にとり説明したが、CrやCuなど他の金属、あるいはITO (酸化スズを混入した酸化インジウム膜) などの透明電極を用いても良い。

【0126】

対向側のブラックマトリクスとして導電性の樹脂を用いたが、樹脂に限らず、CrやTiや黒鉛などでも良い。

【0127】

またアレイ基板側に絶縁膜を形成する方法と形成しない方法を述べたが、ショート対策のために絶縁膜を形成する方が良い。

【0128】

また反射型液晶素子として、絶縁膜あるいは配向膜として着色されたものを用いても良い。

【0129】

なお本発明では画素電極上に絶縁膜を形成しない構成と共通電極上に絶縁膜を形成しない構成を述べた。ゲート電極以外の電位を発生させるという意味でどちらも効果はあるが、対向電位は画素電位のようにプラス・マイナスに振れていないので、どちらかといえば共通電極上に絶縁膜を形成しない方が良い。

【0130】

また本発明ではIPS方式のパネルについて述べたが、IPS方式の改良版として、電極間隔を狭くして斜め電界を利用して駆動するFFSモード (Fringe Field Switching Mode) や対向基板側に電極を形成して斜め電界を利用するHSモード (Hybrid Switching Mode) などでも効果があるのはいうまでもない。

【0131】

【発明の効果】

以上のように本発明によれば、一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、イオンを回収するための電極が両基板に形成することにより、ゲート以外の電位が露出しているために、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために表示ムラのない良好な表示品位の液晶素子を得ることができる。

【図面の簡単な説明】

【図1】

本実施の形態1、2における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 2】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す断面図

【図 3】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 4】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 5】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 6】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 7】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 8】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す断面図

【図 9】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 10】

本実施の形態 1、2 における液晶素子のアレイ基板側の構造を模式的に示す断面図

【図 11】

本実施の形態 1、3、4、5、6 における液晶素子の対向基板の構造を模式的

に示す上面図

【図 12】

本実施の形態 1、3、4、5、6 における液晶素子の対向基板側の構造を模式的に示す断面図

【図 13】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 14】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 15】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 16】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 17】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 18】

本実施の形態 2、3、4、5、6 における液晶素子の対向基板の構造を模式的に示す上面図

【図 19】

本実施の形態 3 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 20】

本実施の形態 3 における液晶素子のアレイ基板側の構造を模式的に示す断面図

【図 21】

本実施の形態 3 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 22】

本実施の形態 3 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 3】

本実施の形態 3 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 4】

本実施の形態 4 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 5】

本実施の形態 4 における液晶素子のアレイ基板側の構造を模式的に示す断面図
【図 2 6】

本実施の形態 4 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 7】

本実施の形態 4 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 8】

本実施の形態 4 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 2 9】

本実施の形態 5 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 3 0】

本実施の形態 5 における液晶素子のアレイ基板側の構造を模式的に示す断面図
【図 3 1】

本実施の形態 5 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 3 2】

本実施の形態 5 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 3 3】

本実施の形態 5 における液晶素子のアレイ基板側の構造を模式的に示す上面図
【図 3 4】

従来の液晶素子のアレイの構造を模式的に示す上面図
【図 3 5】

従来の液晶素子の構造を模式的に示す断面図
【図 3 6】

従来の液晶素子の異物の箇所を模式的に示す上面図

【図 3 7】

黒点状ムラの発生メカニズムを示す模式図

【図 3 8】

黒点状ムラの発生メカニズムを示す模式図

【図 3 9】

黒点状ムラの発生メカニズムを示す模式図

【図 4 0】

本発明の黒点状ムラ対策のメカニズムを示す模式図

【図 4 1】

本発明と比較例の構造を示す模式図

【図 4 2】

本実施の形態 6 における液晶素子のアレイ基板側の構造を模式的に示す上面図

【図 4 3】

本実施の形態 6 における液晶素子のアレイ基板側の構造を模式的に示す断面図

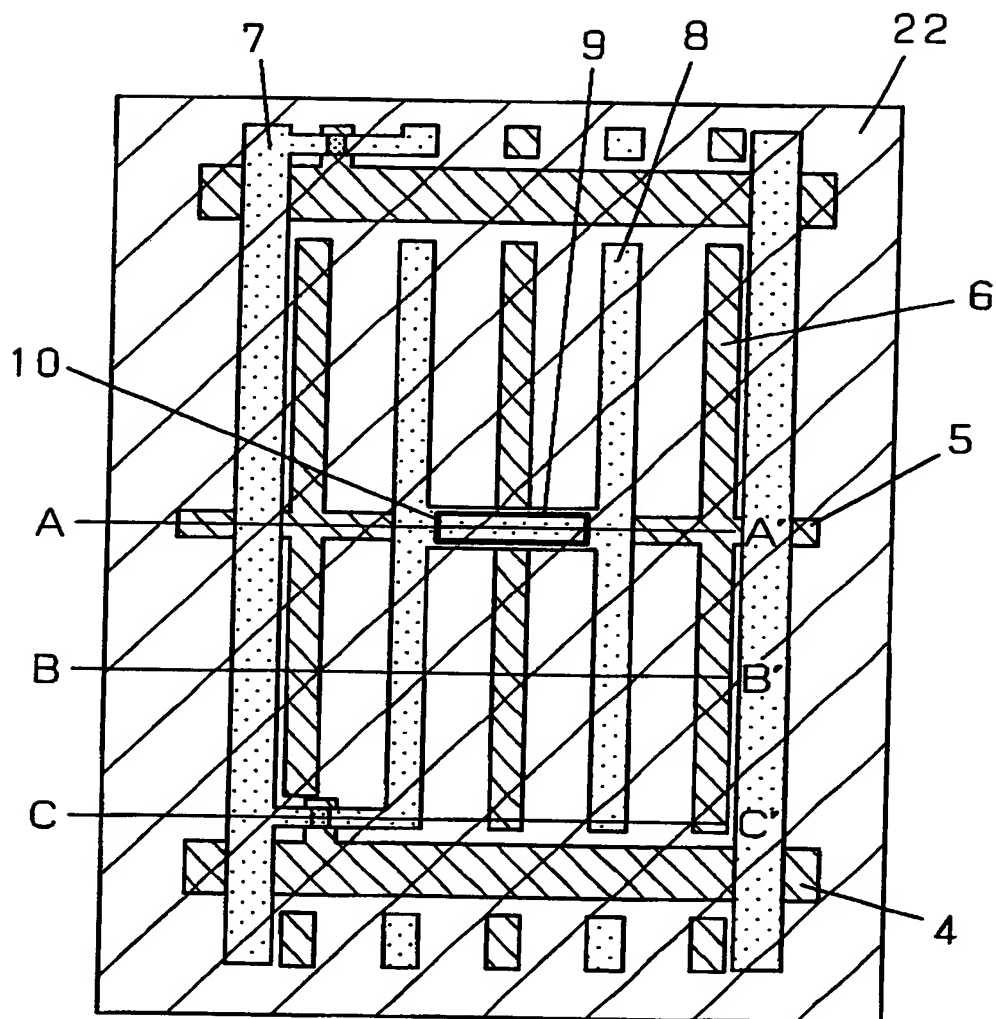
【符号の説明】

- 1, 2 ガラス基板
- 3 液晶
- 4 走査配線（ゲート線）
- 5 共通電極（走査配線に平行）
- 6 共通電極（走査配線に垂直）
- 7 信号配線（ソース線）
- 8 画素電極（走査配線に垂直）
- 9 画素電極（走査配線に平行）
- 10 第 2 の絶縁膜の形成されていない箇所
- 11 コンタクトホール
- 13 ブラックマトリクス
- 14 ドレイン
- 16 カラーフィルタ
- 17 絶縁膜（オーバーコート）

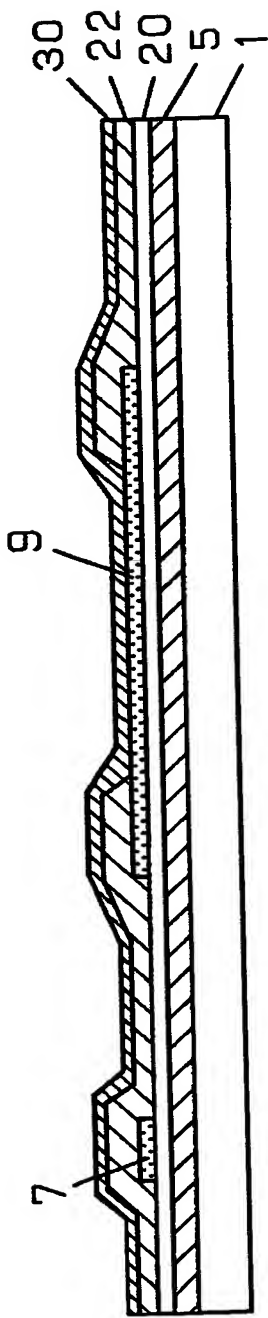
- 18 絶縁膜の形成されていない部分
- 20 第1の絶縁膜 (SiNx) : ゲート絶縁層
- 21 エッチングストッパ層 (SiNx)
- 22 第2の絶縁膜 (SiNx) : パッシベーション層
- 30 配向膜
- 40 第1のアモルファスシリコン層
- 41 第2のアモルファスシリコン層
- 50 異物
- 60 突起物
- 61 突起物形成箇所

【書類名】 図面

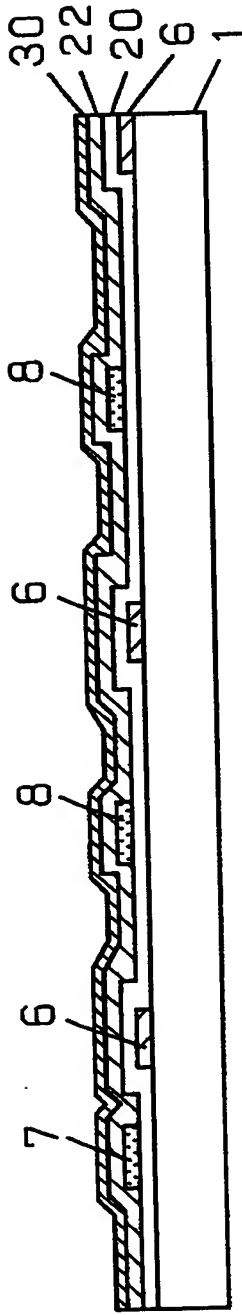
【図 1】



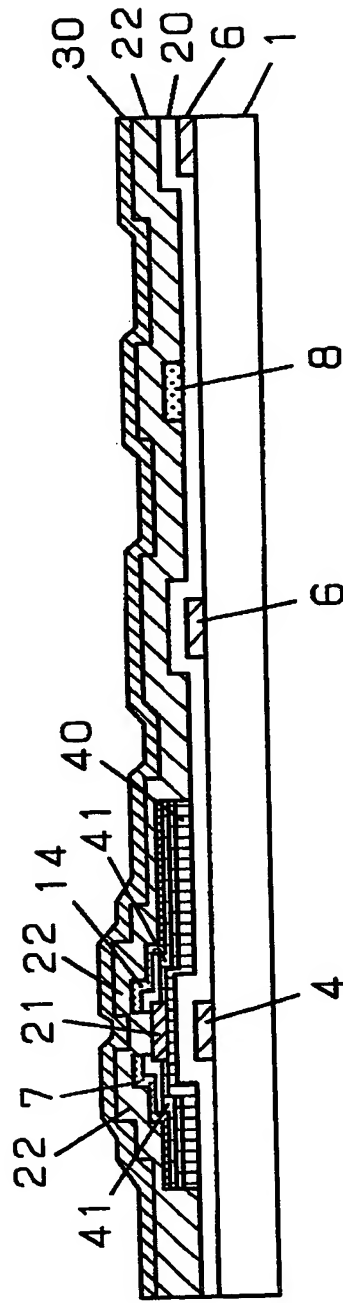
【図2】



(a)

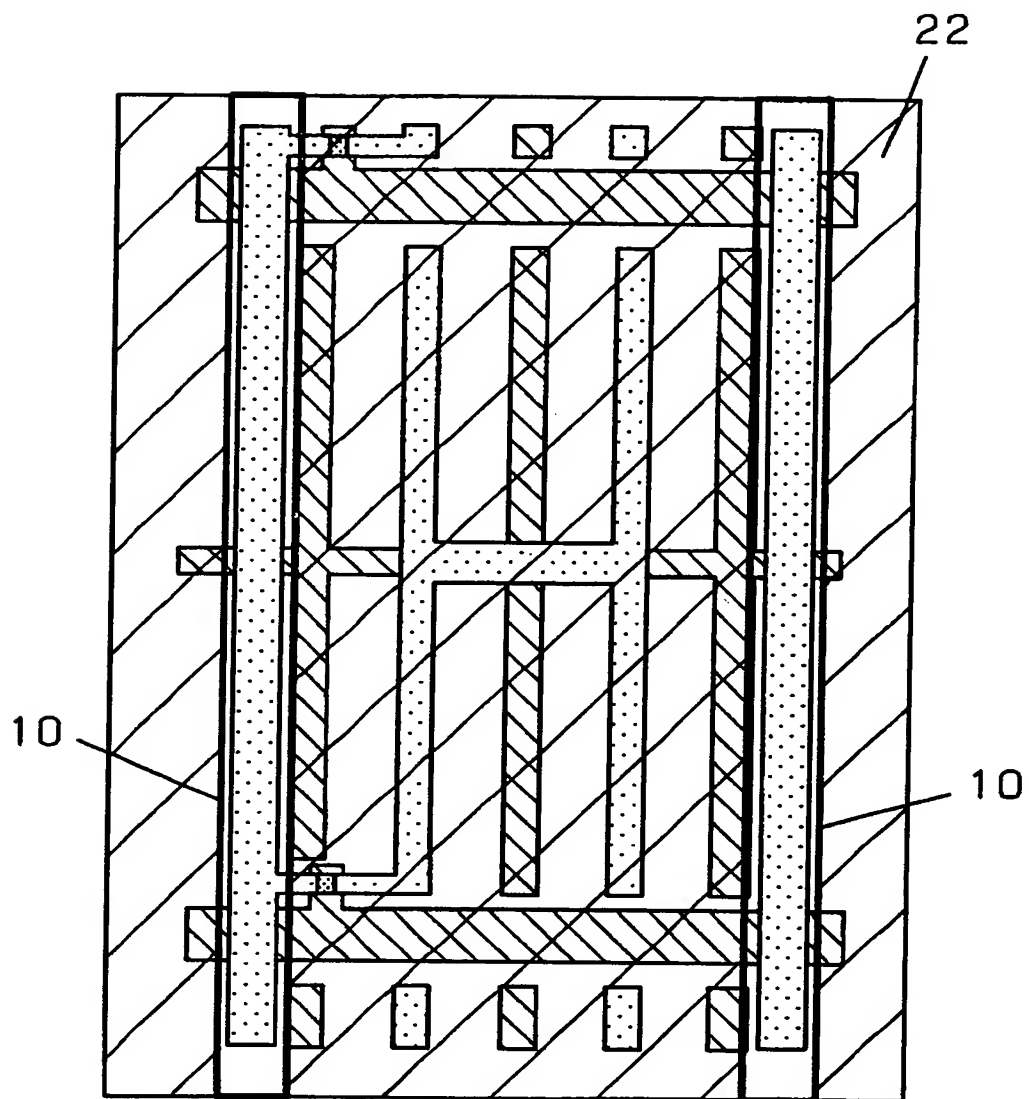


(b)

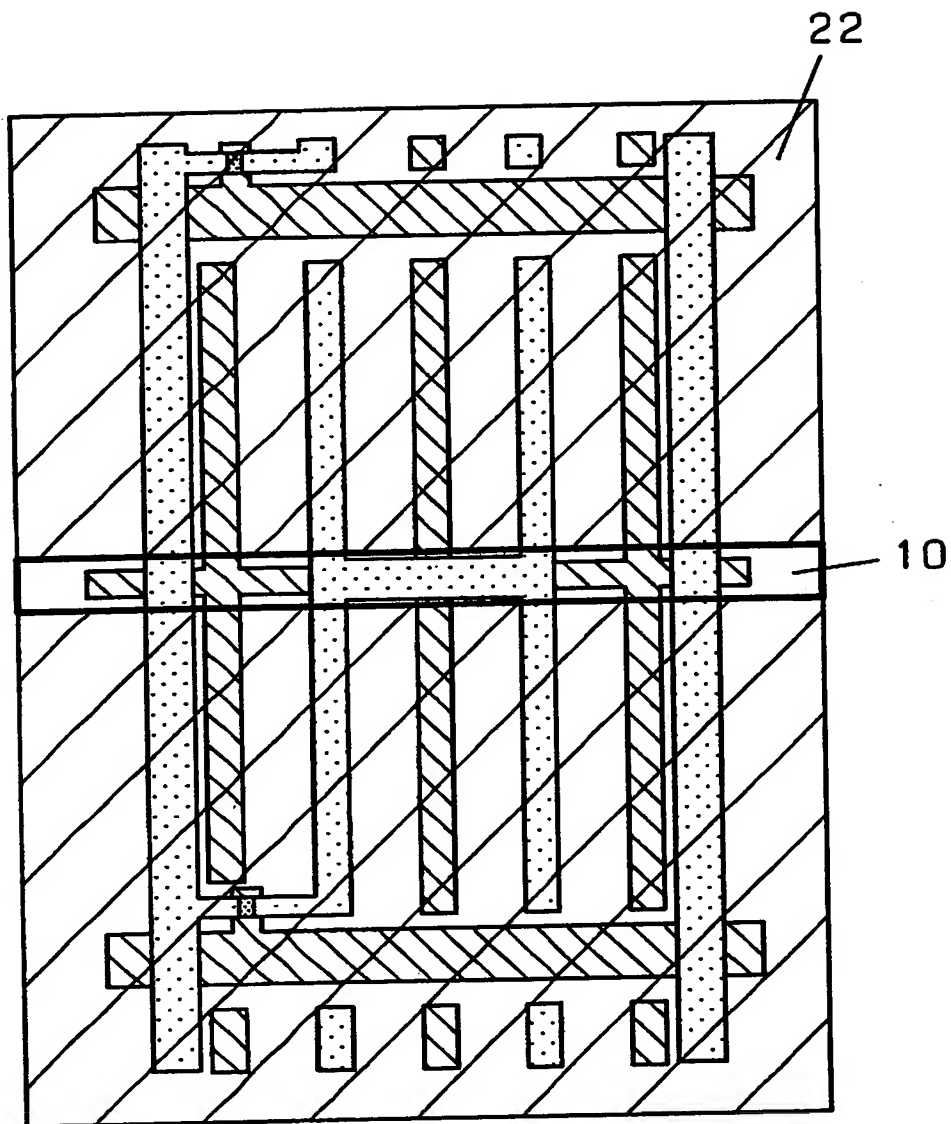


(c)

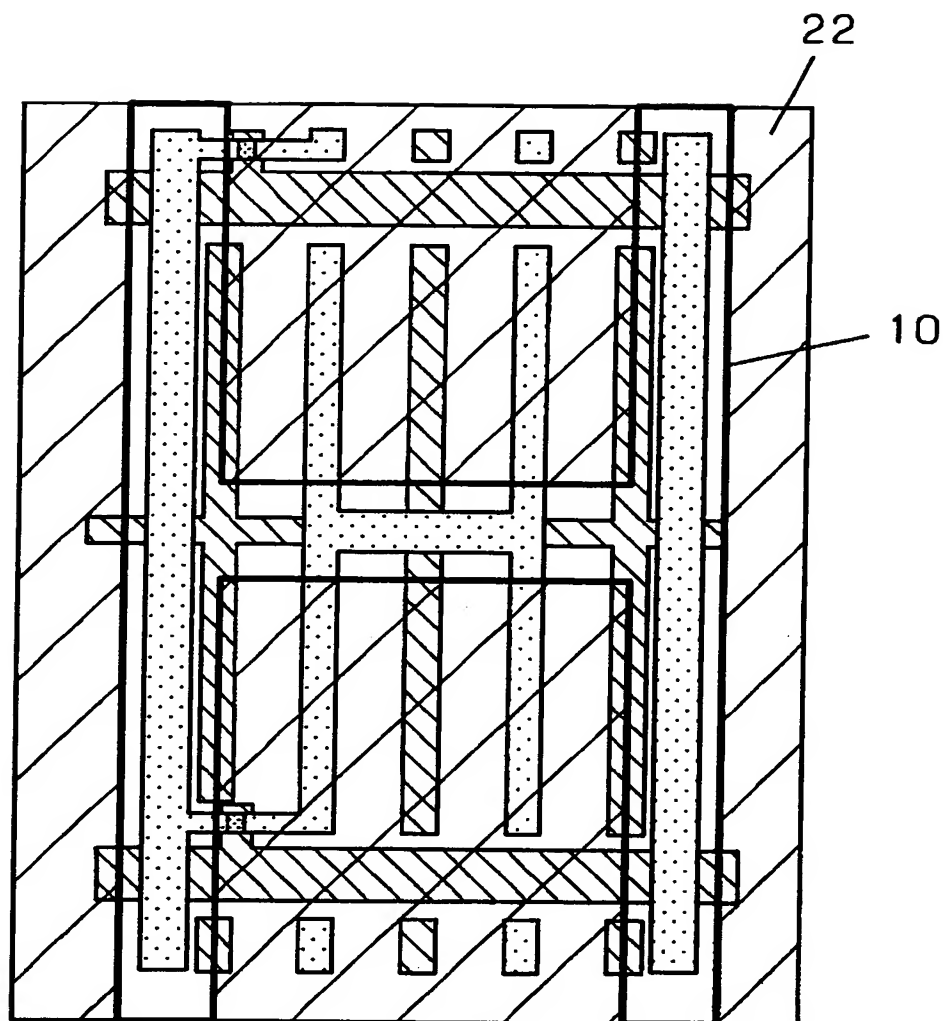
【図 3】



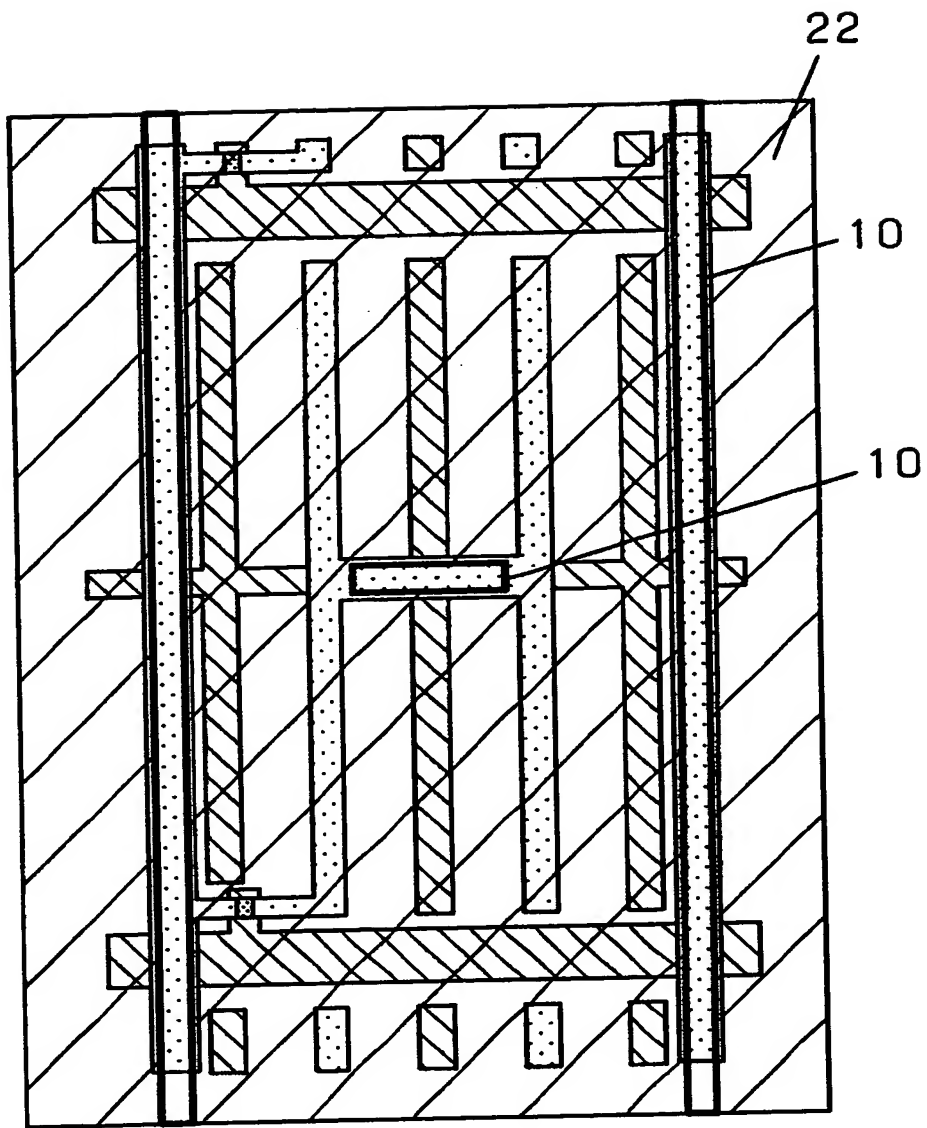
【図4】



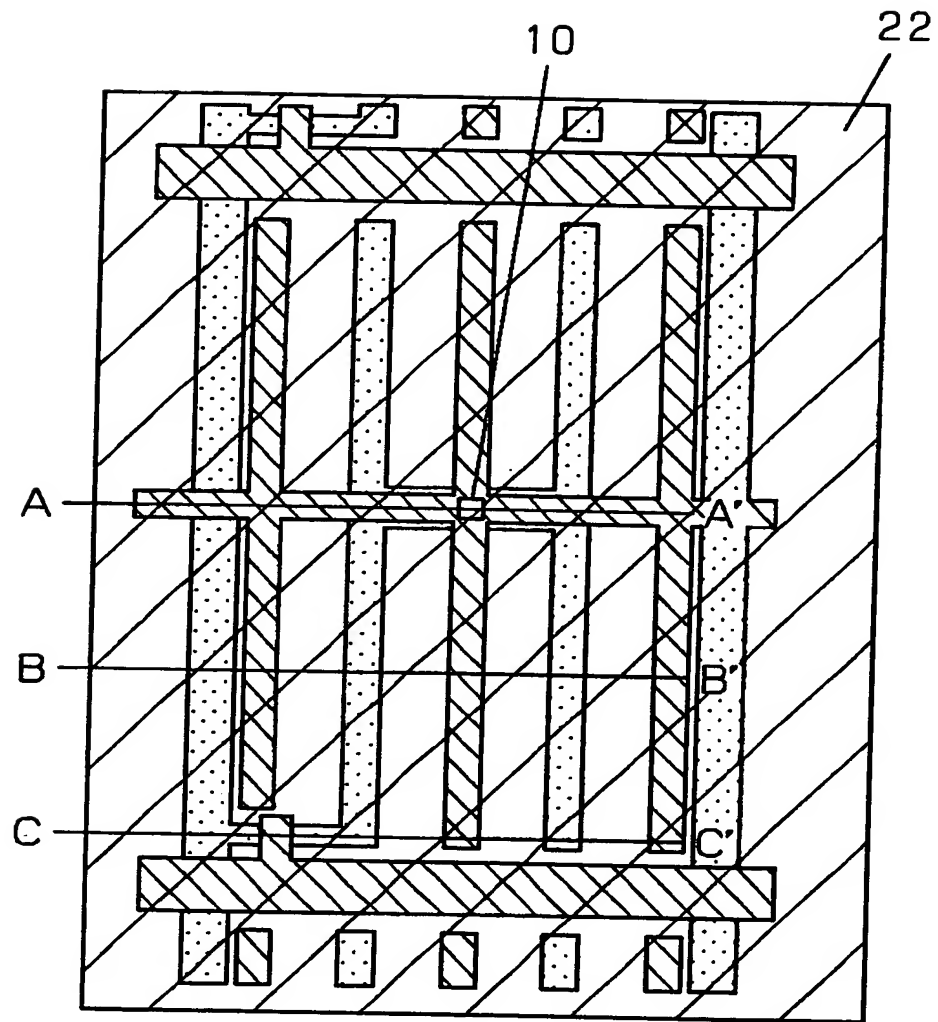
【図 5】



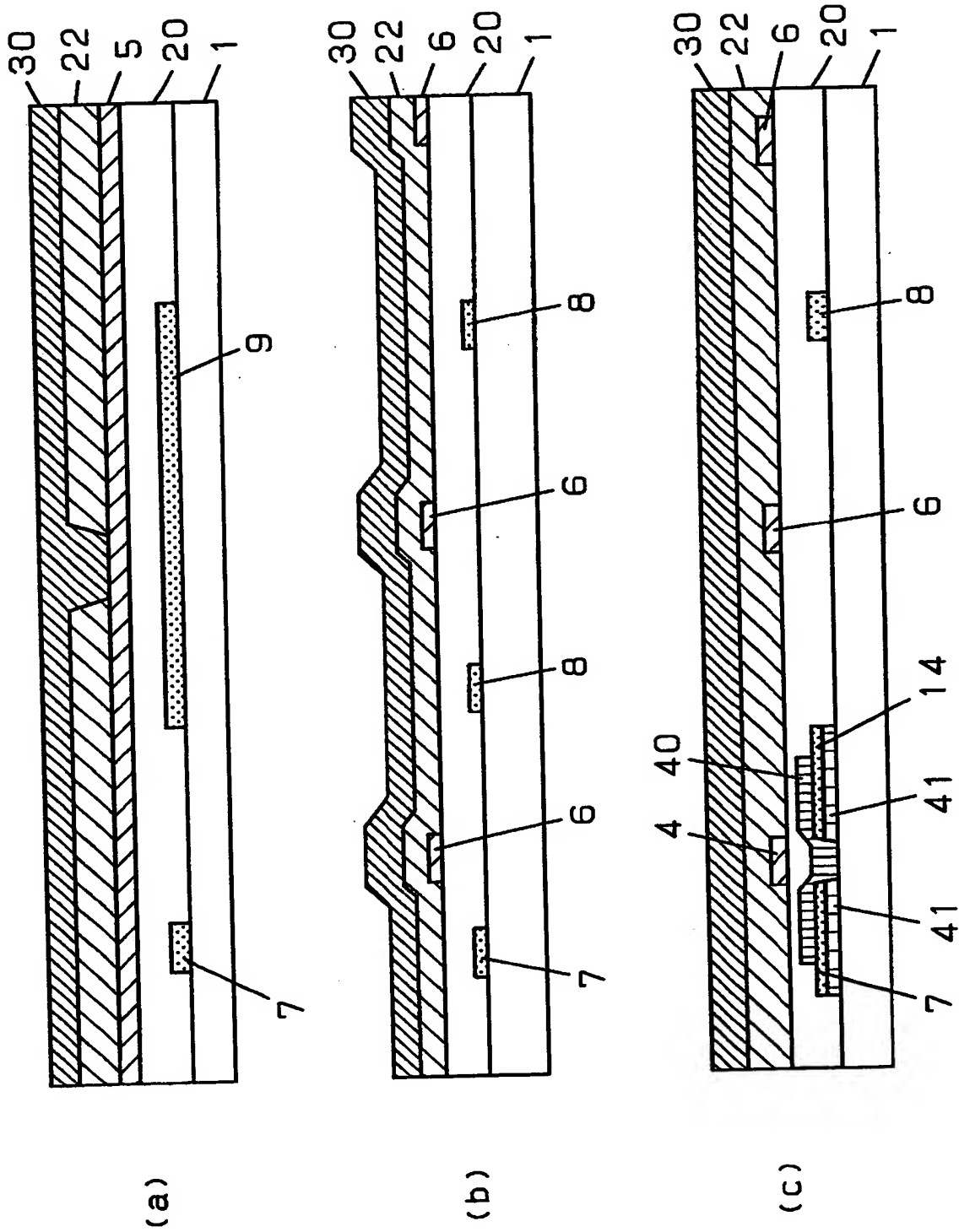
【図 6】



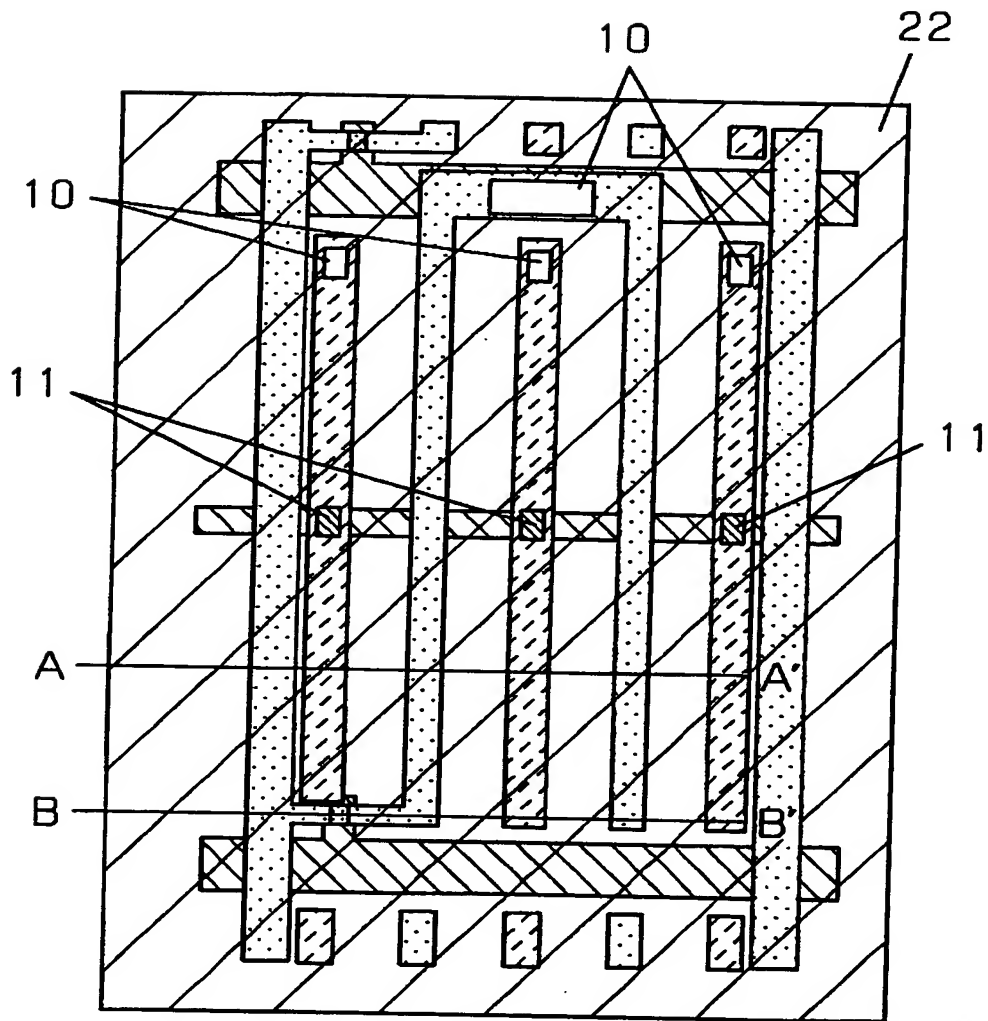
【図 7】



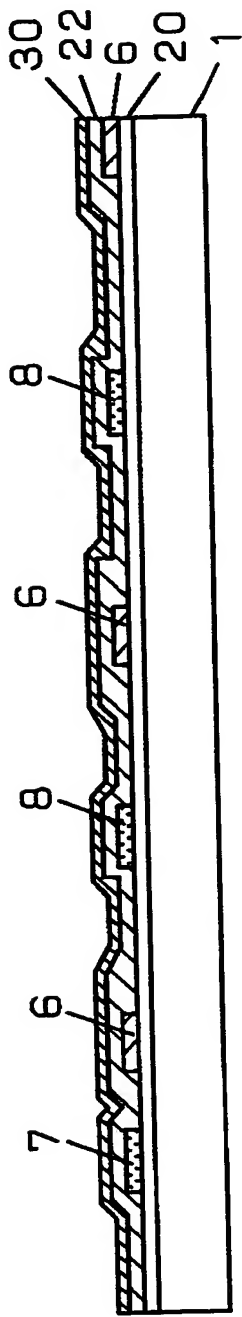
【図 8】



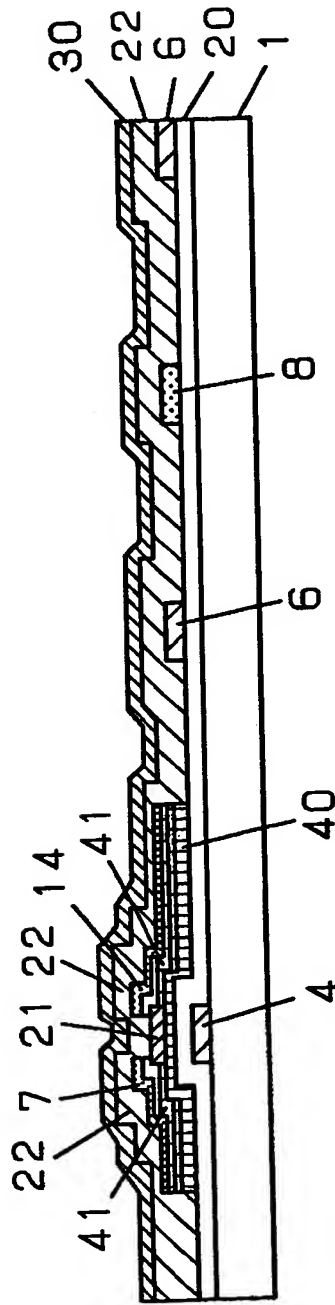
【図9】



【図10】

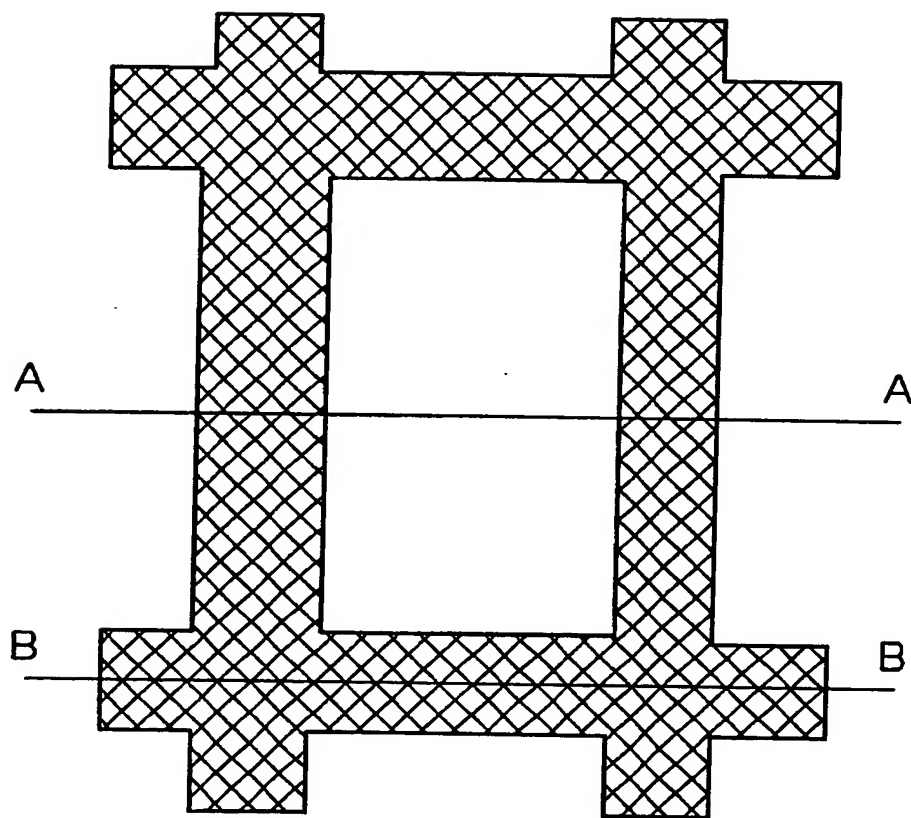


(a)



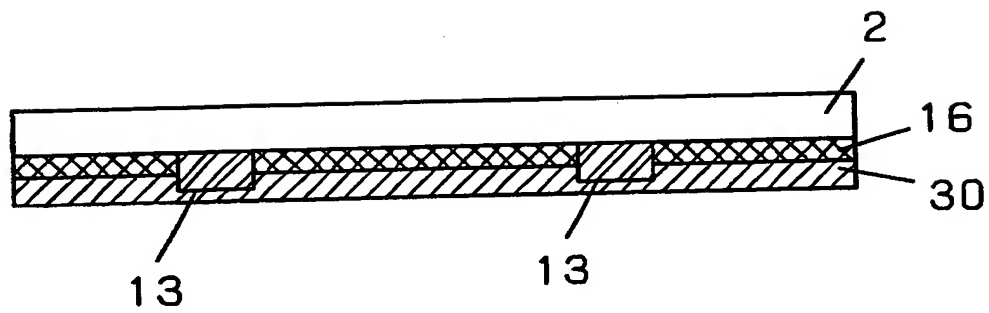
(b)

【図 11】

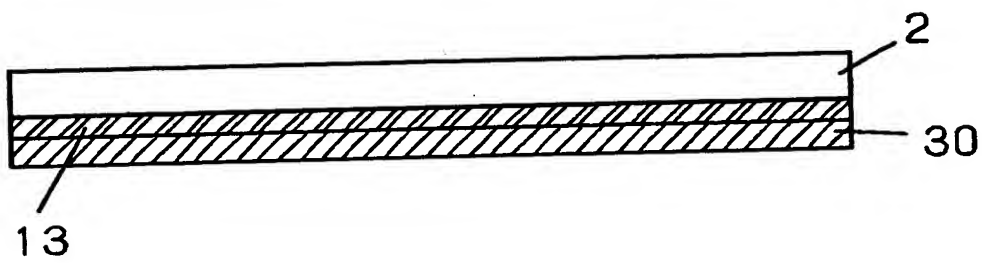


【図 12】

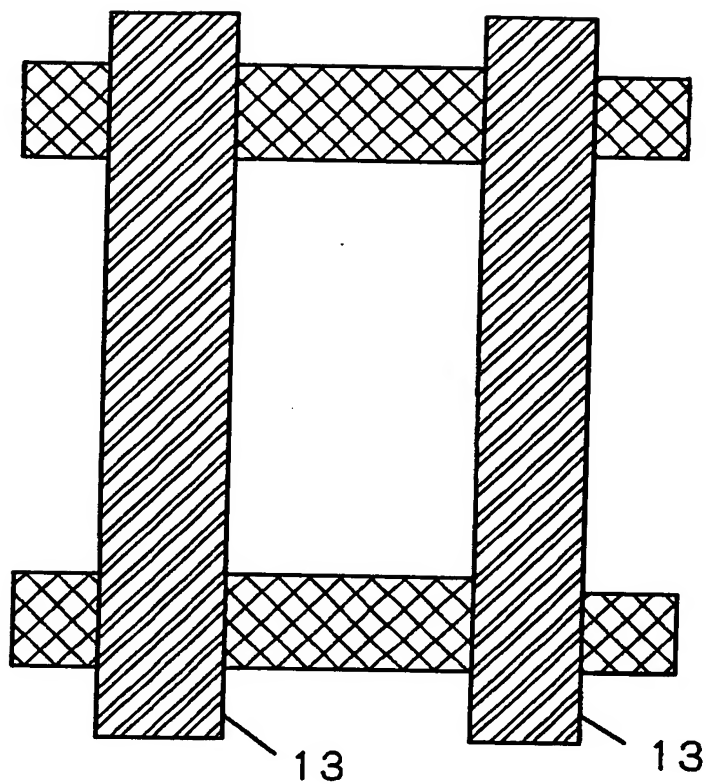
(a)



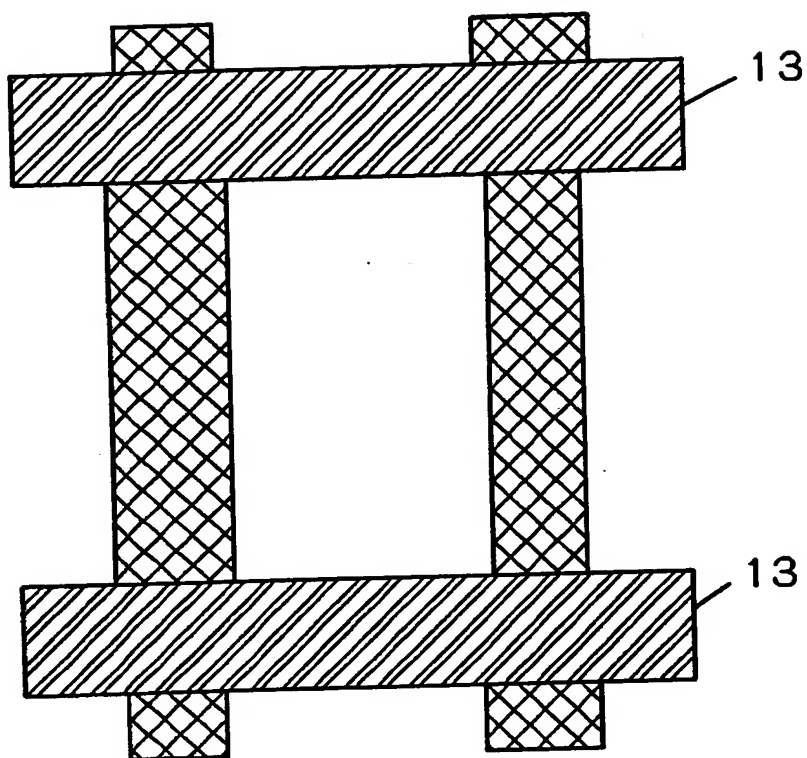
(b)



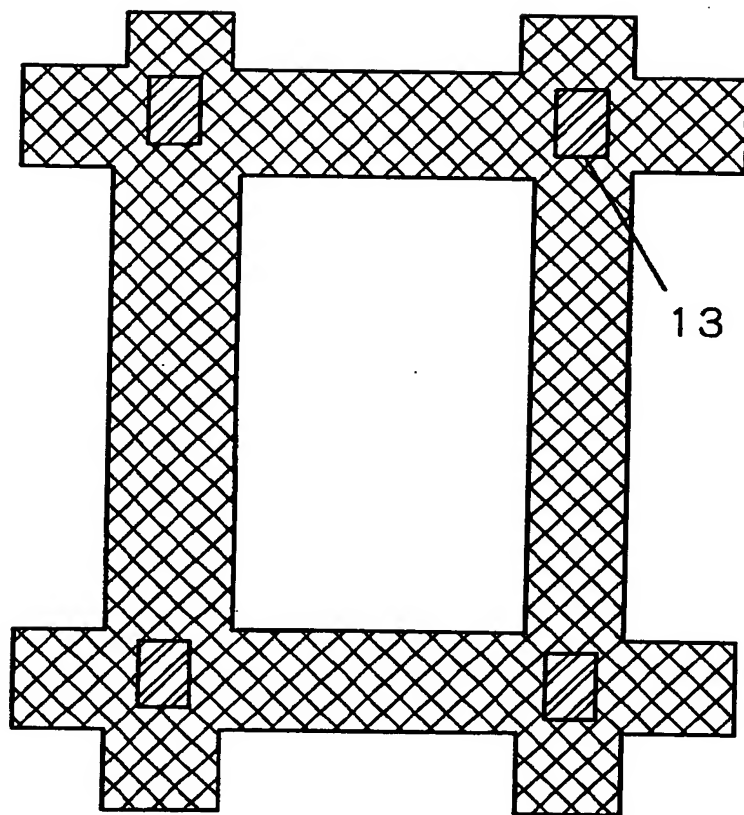
【図 13】



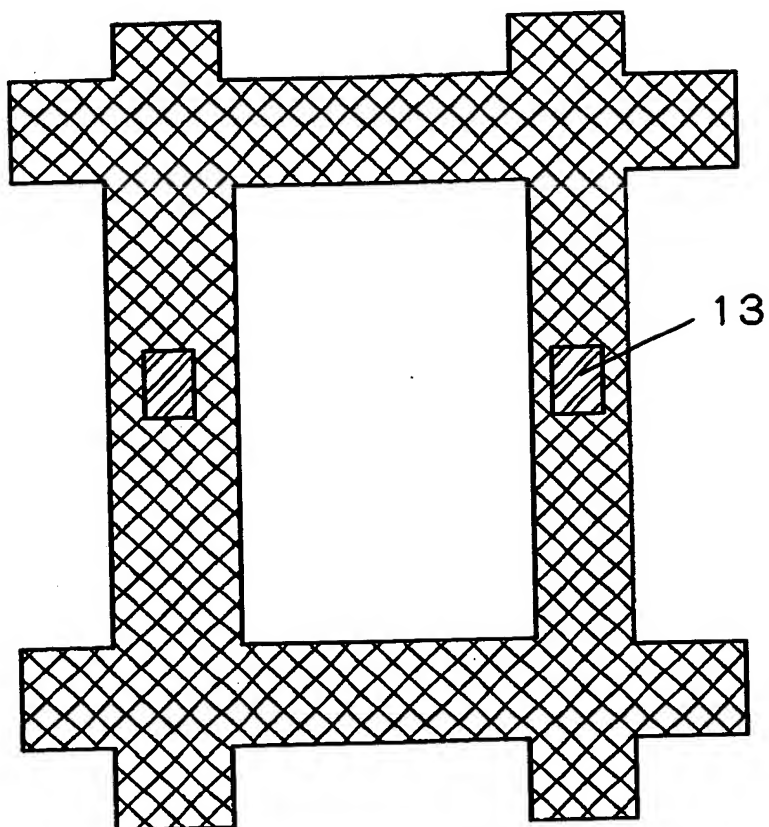
【図14】



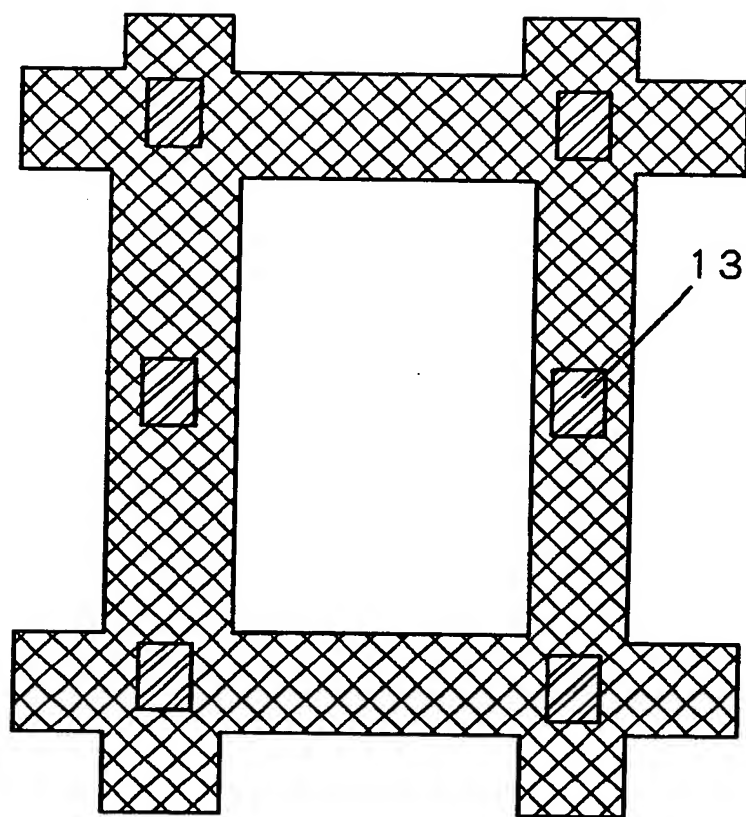
【図15】



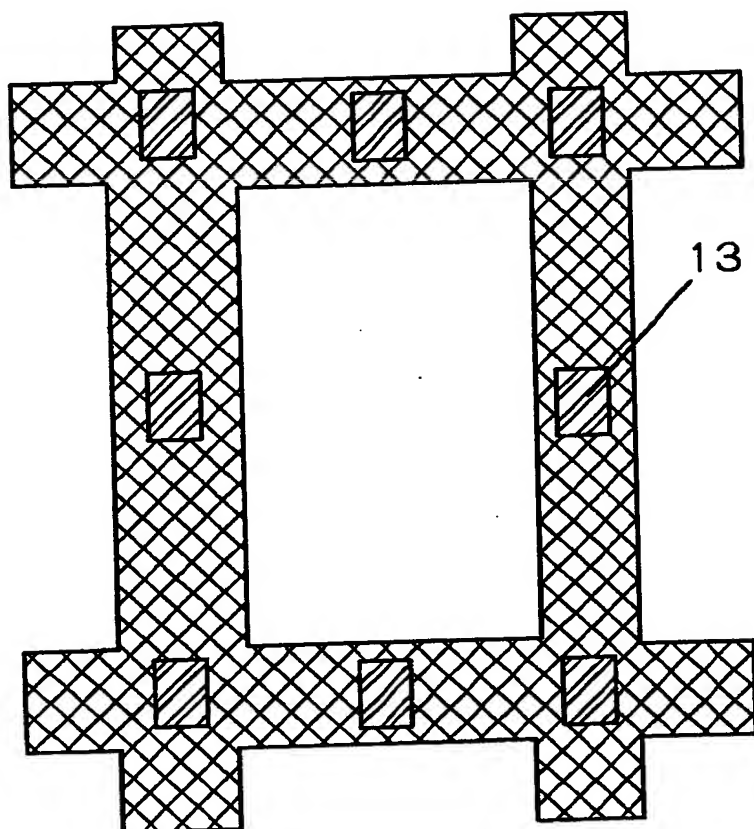
【図 16】



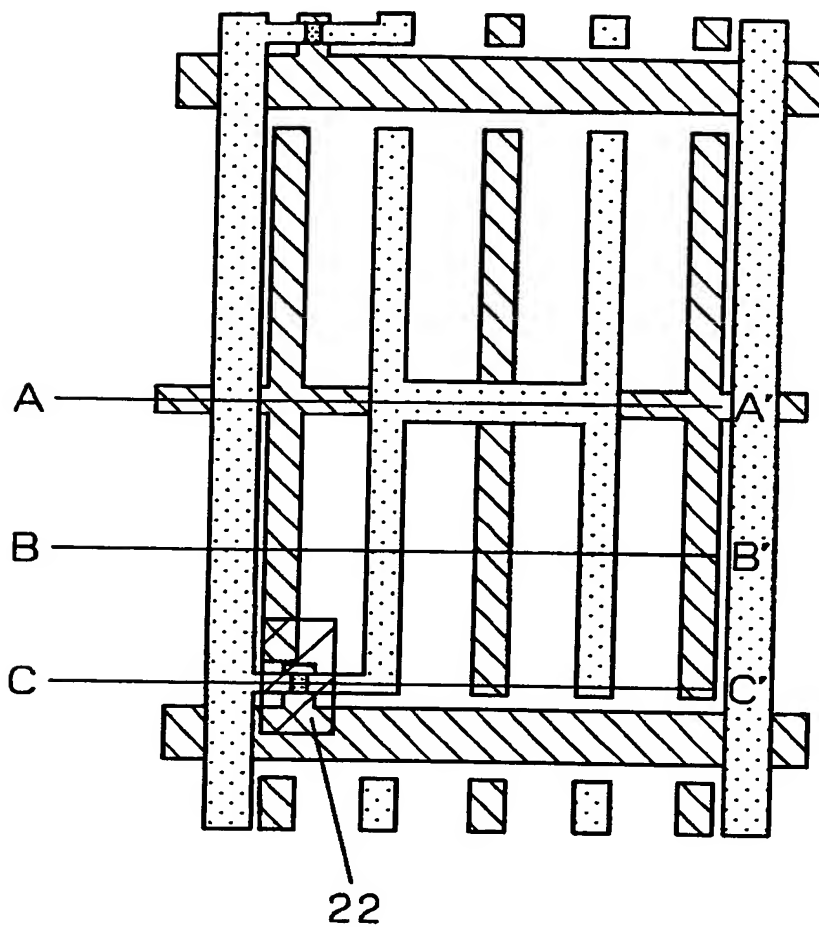
【図 17】



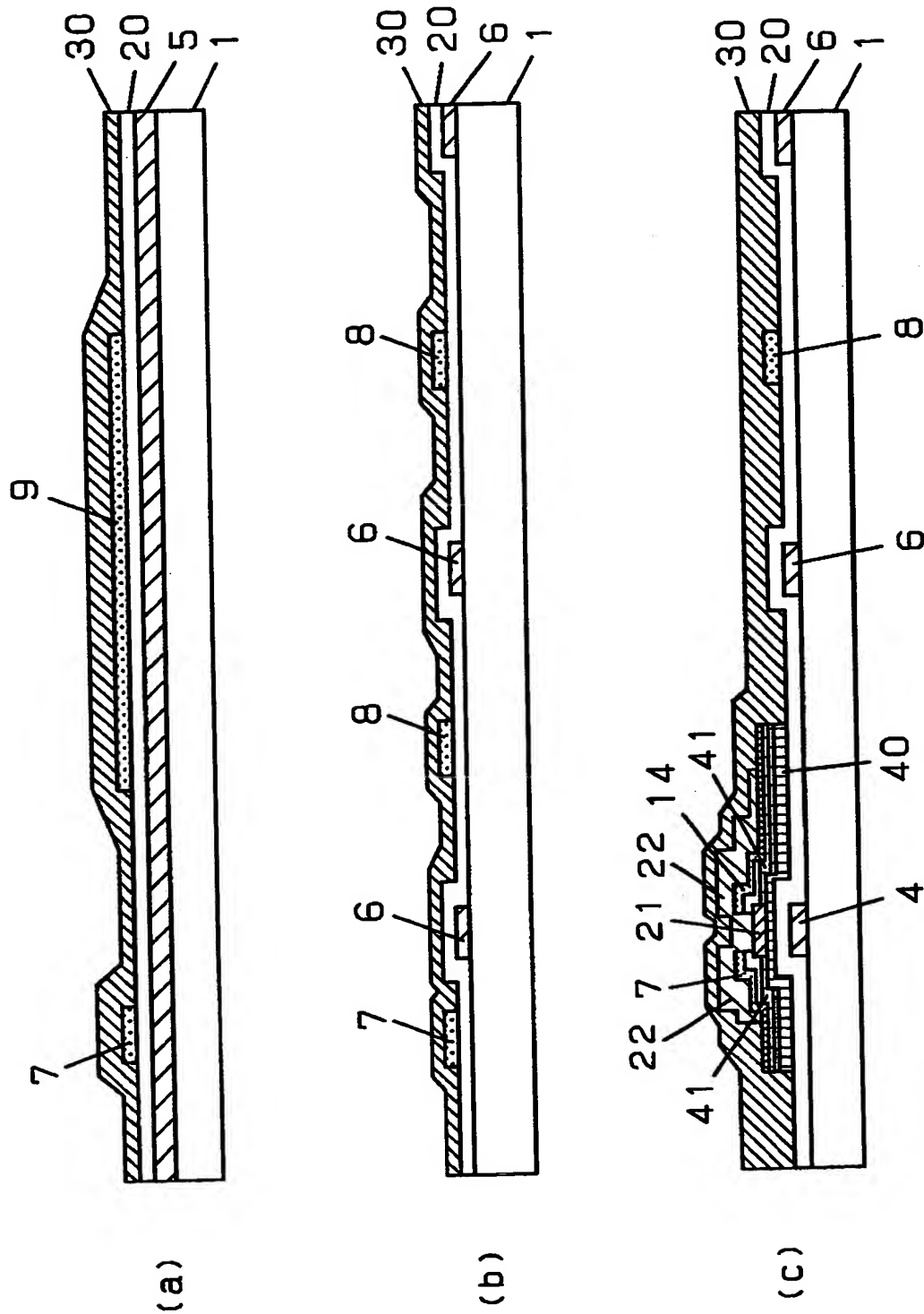
【図 1 8】



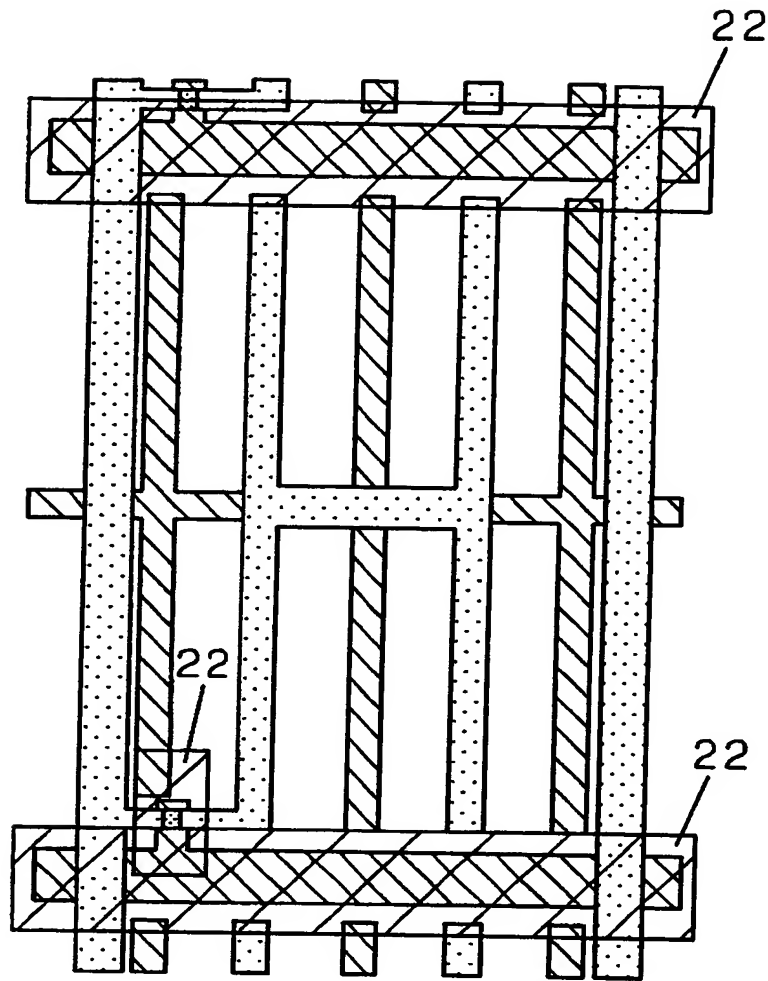
【図 19】



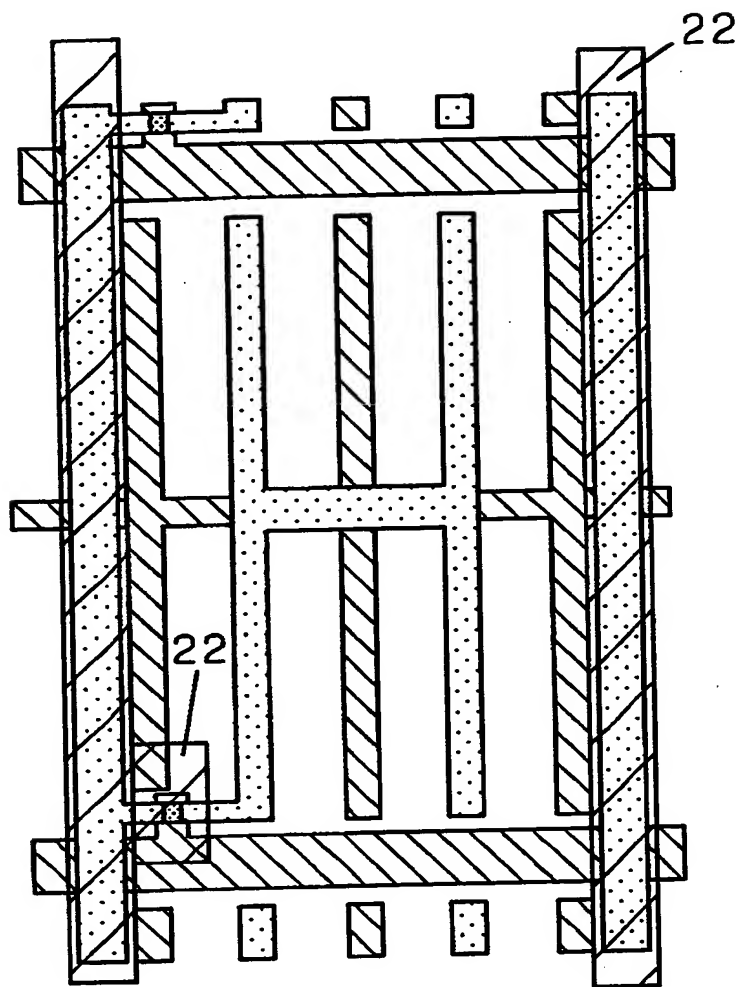
【図20】



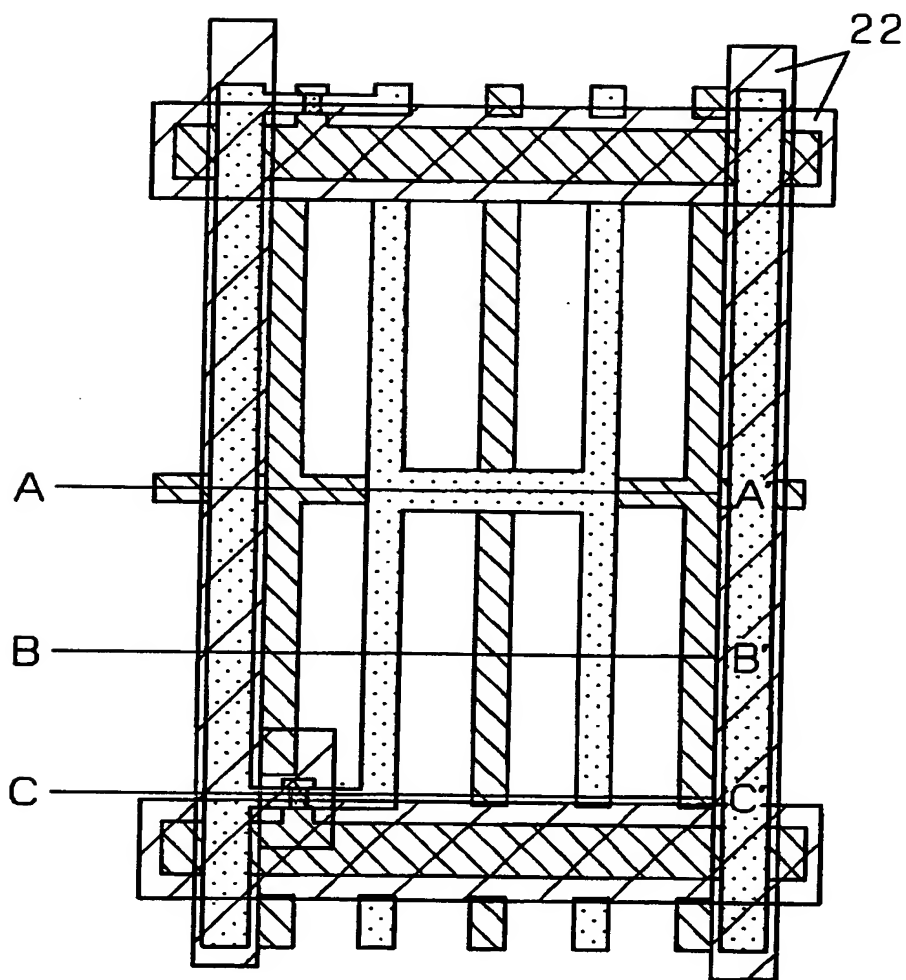
【図 21】



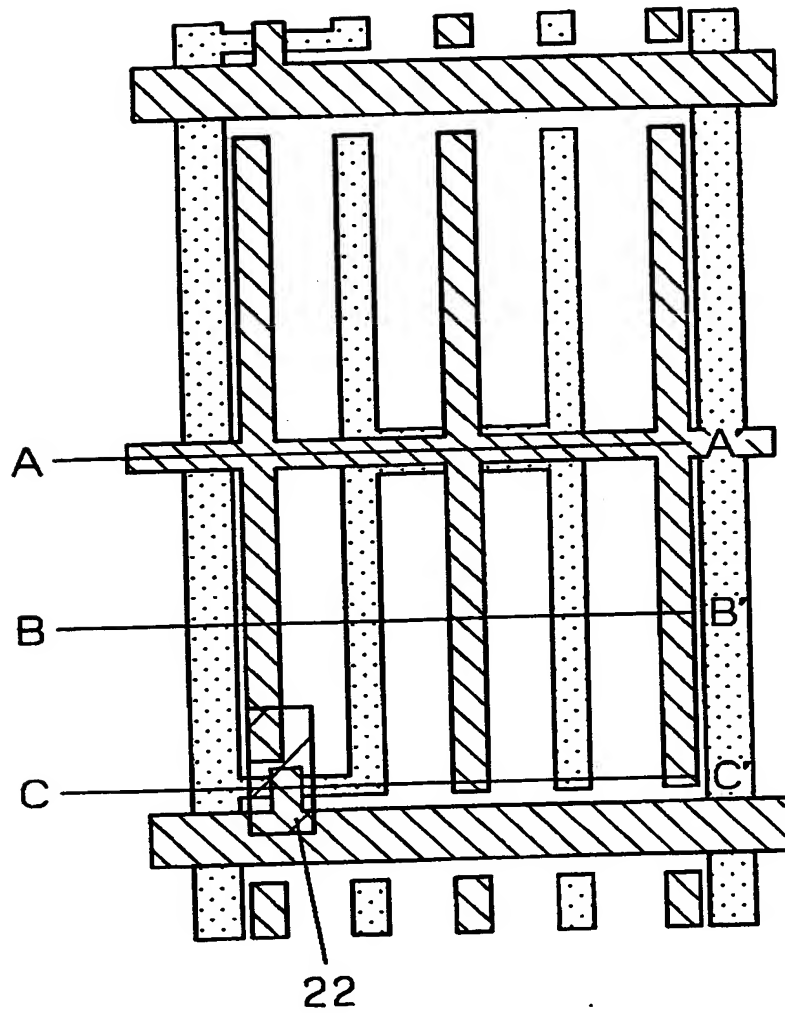
【図 2 2】



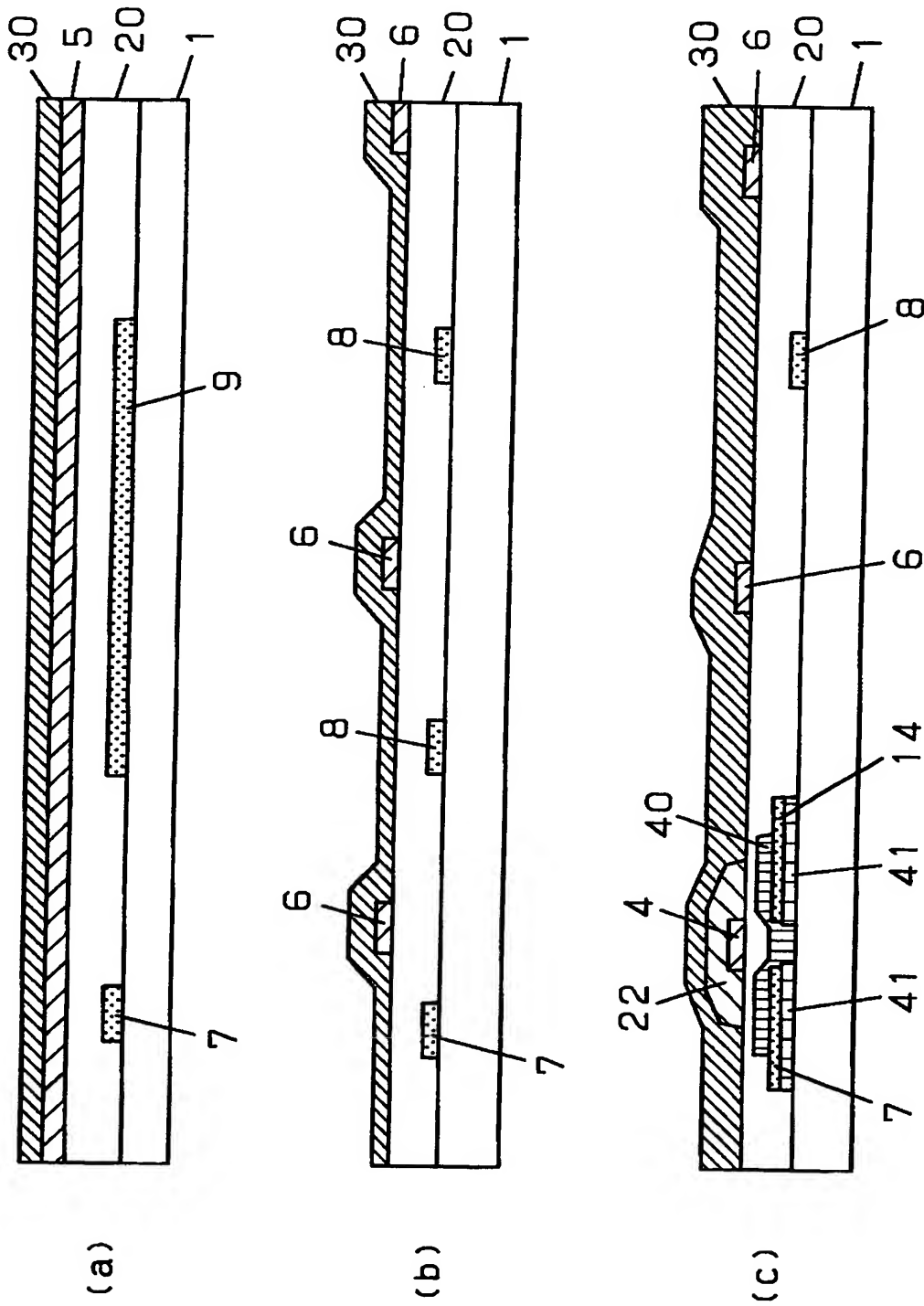
【図 23】



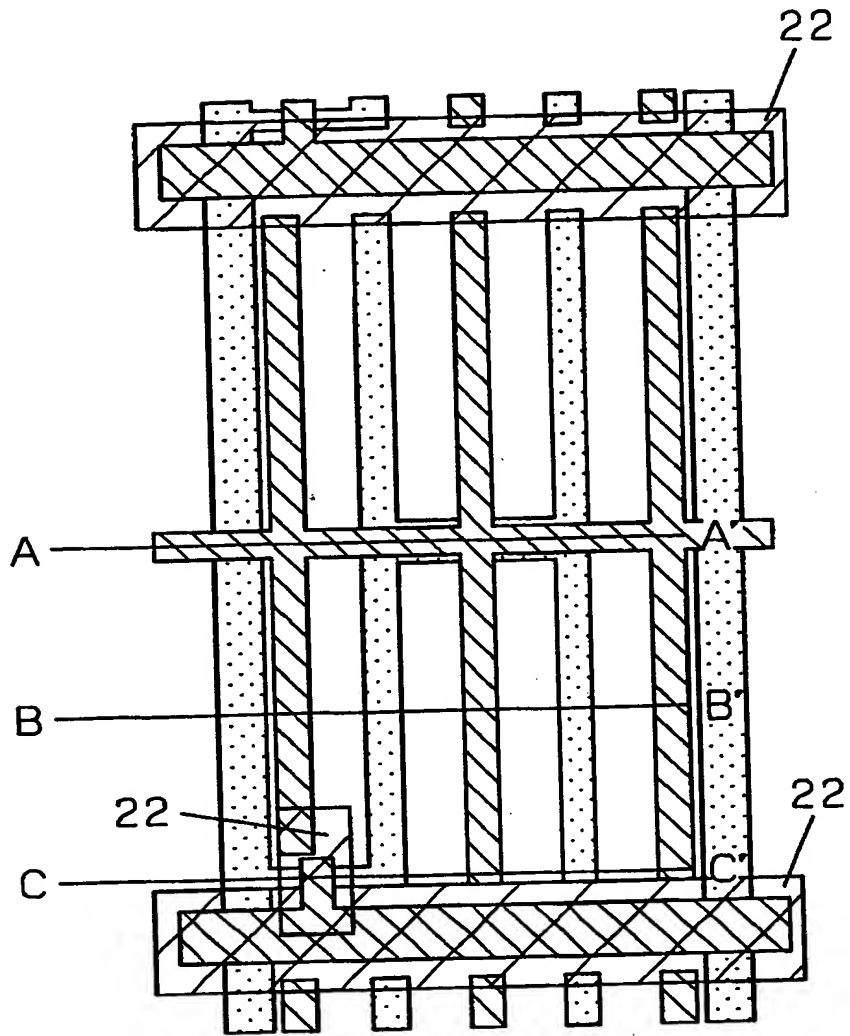
【図 24】



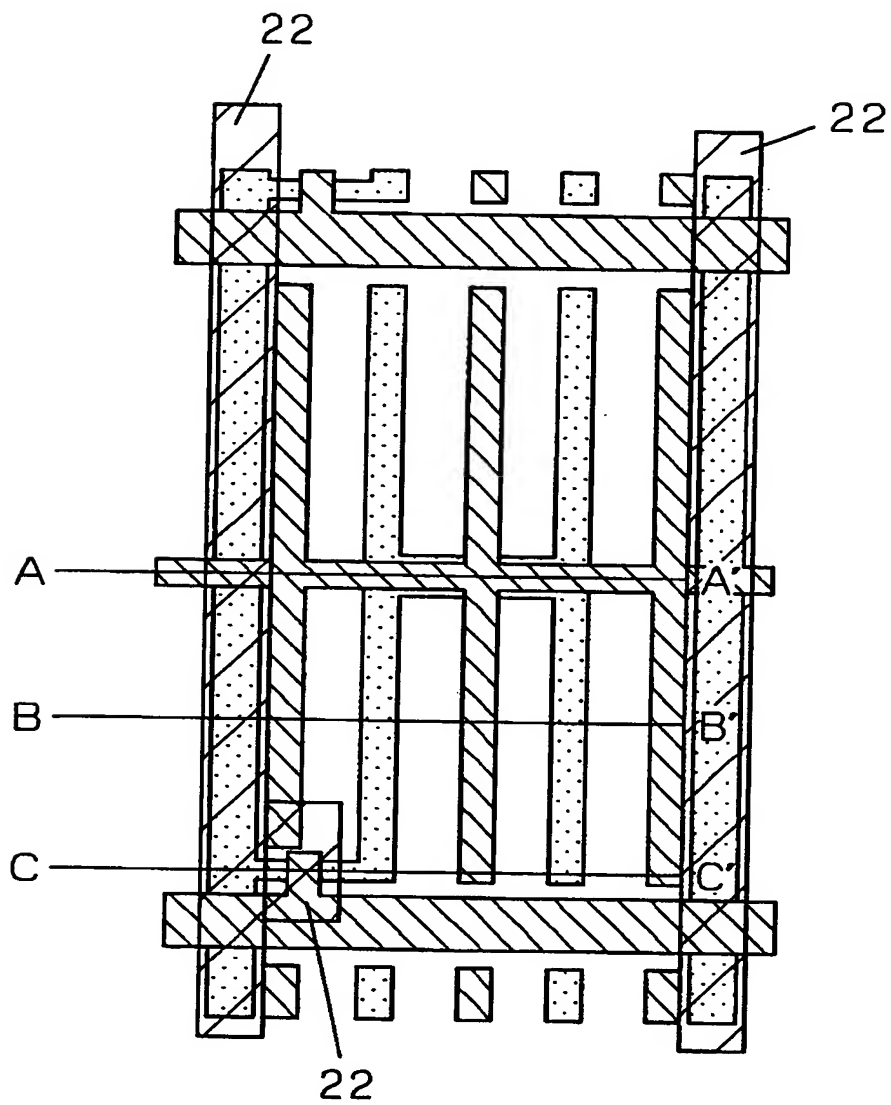
【図 25】



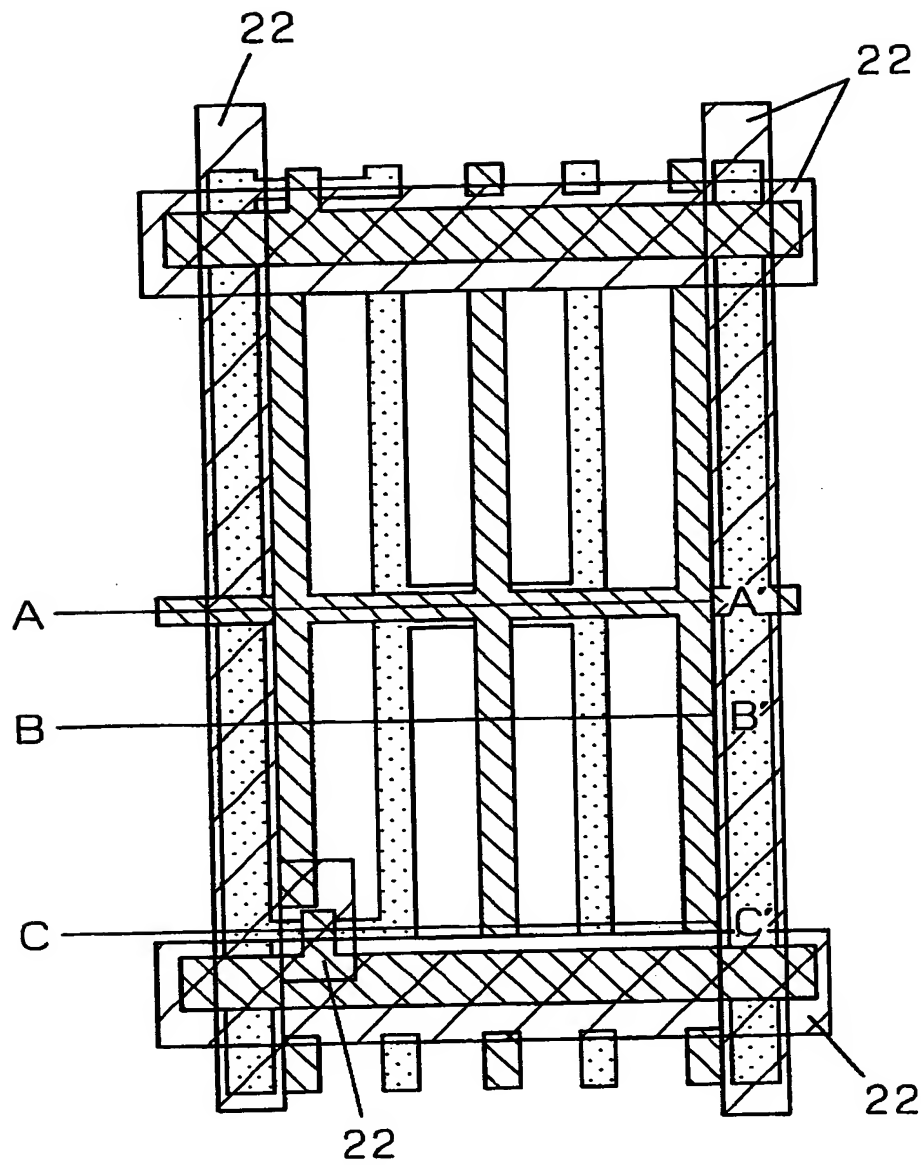
【図26】



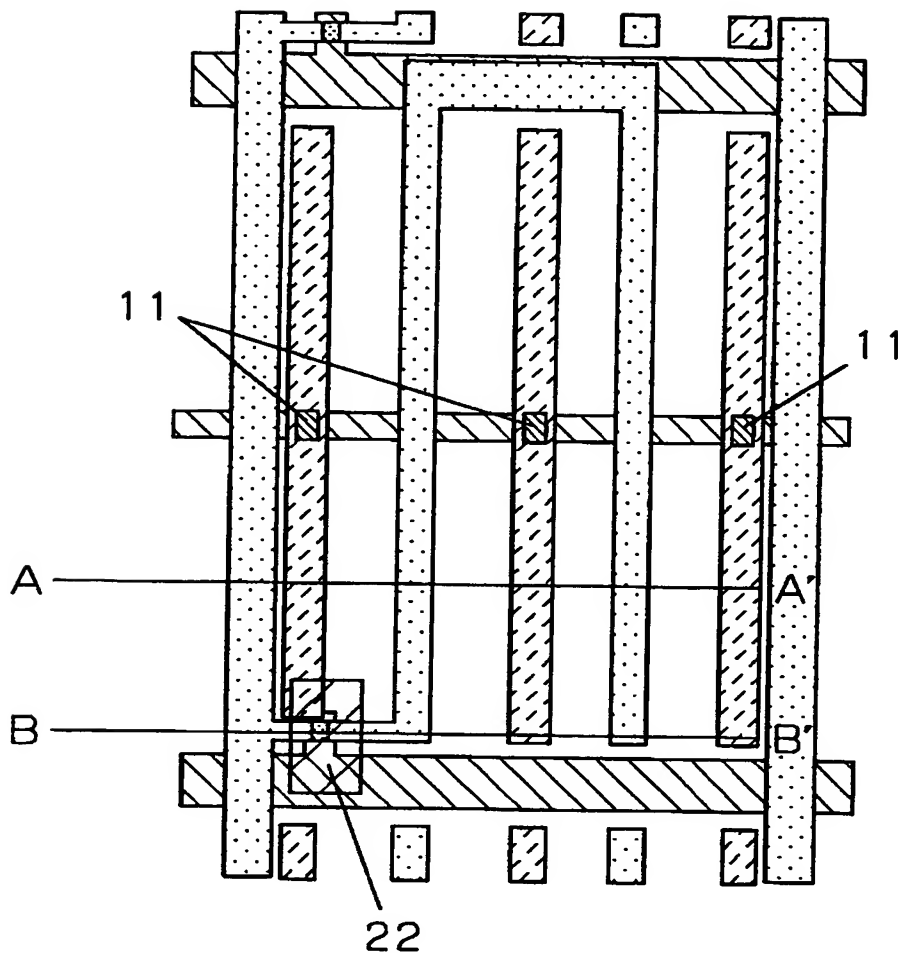
【図 27】



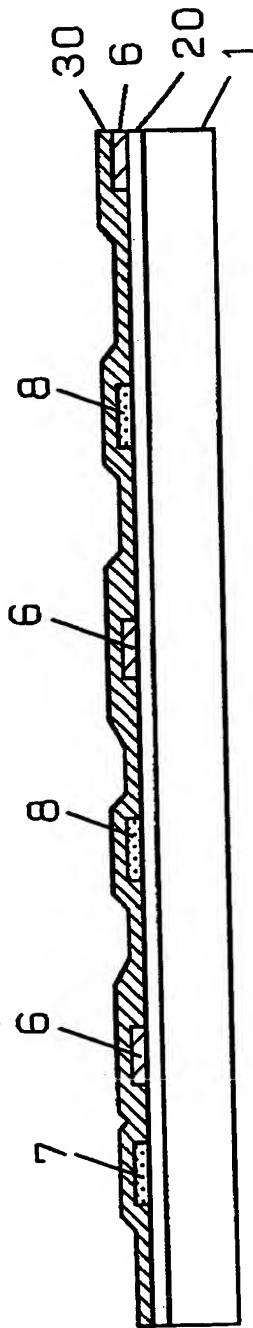
【図 2 8】



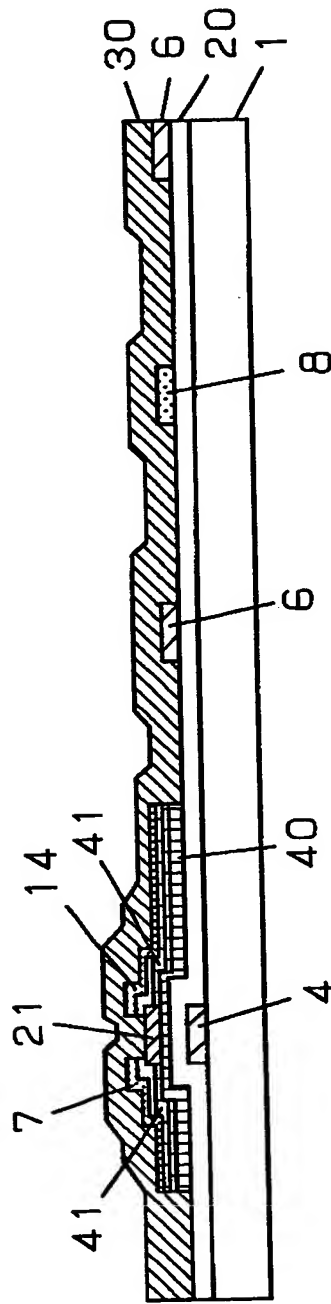
【図 2 9】



【図30】

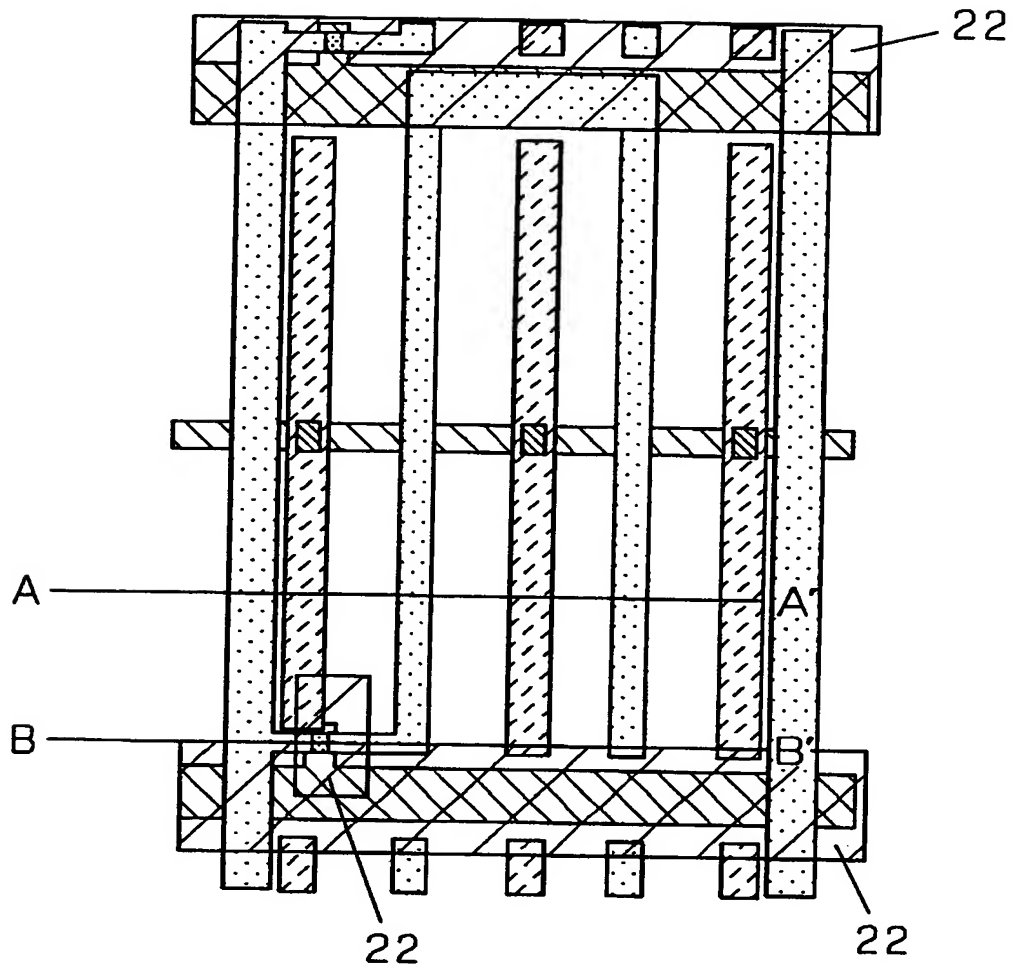


(a)

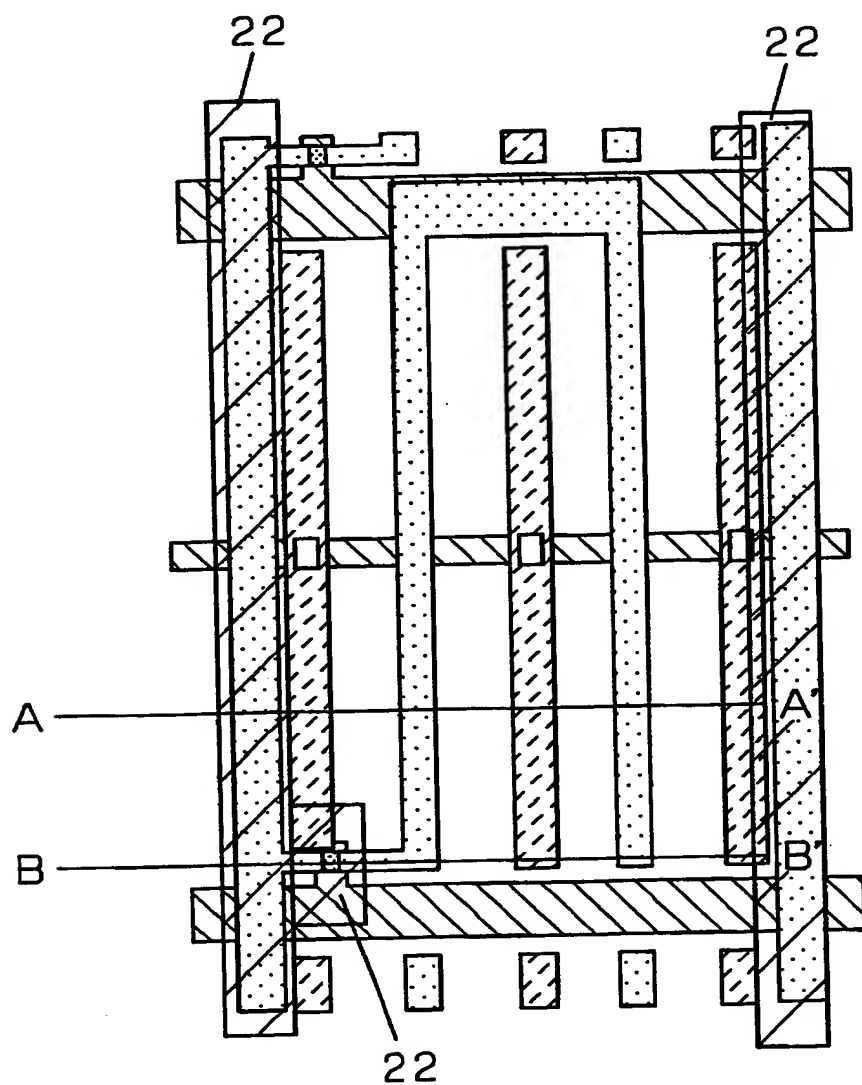


(b)

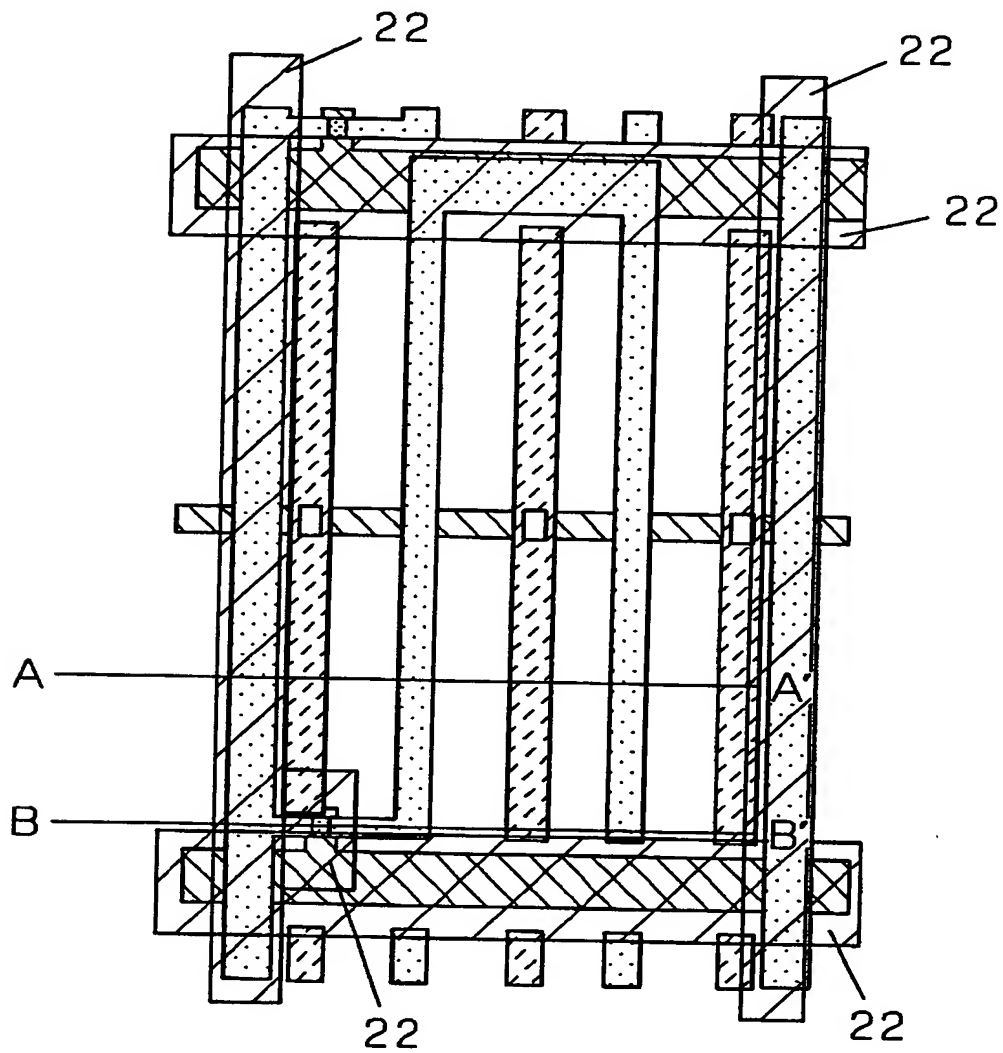
【図 31】



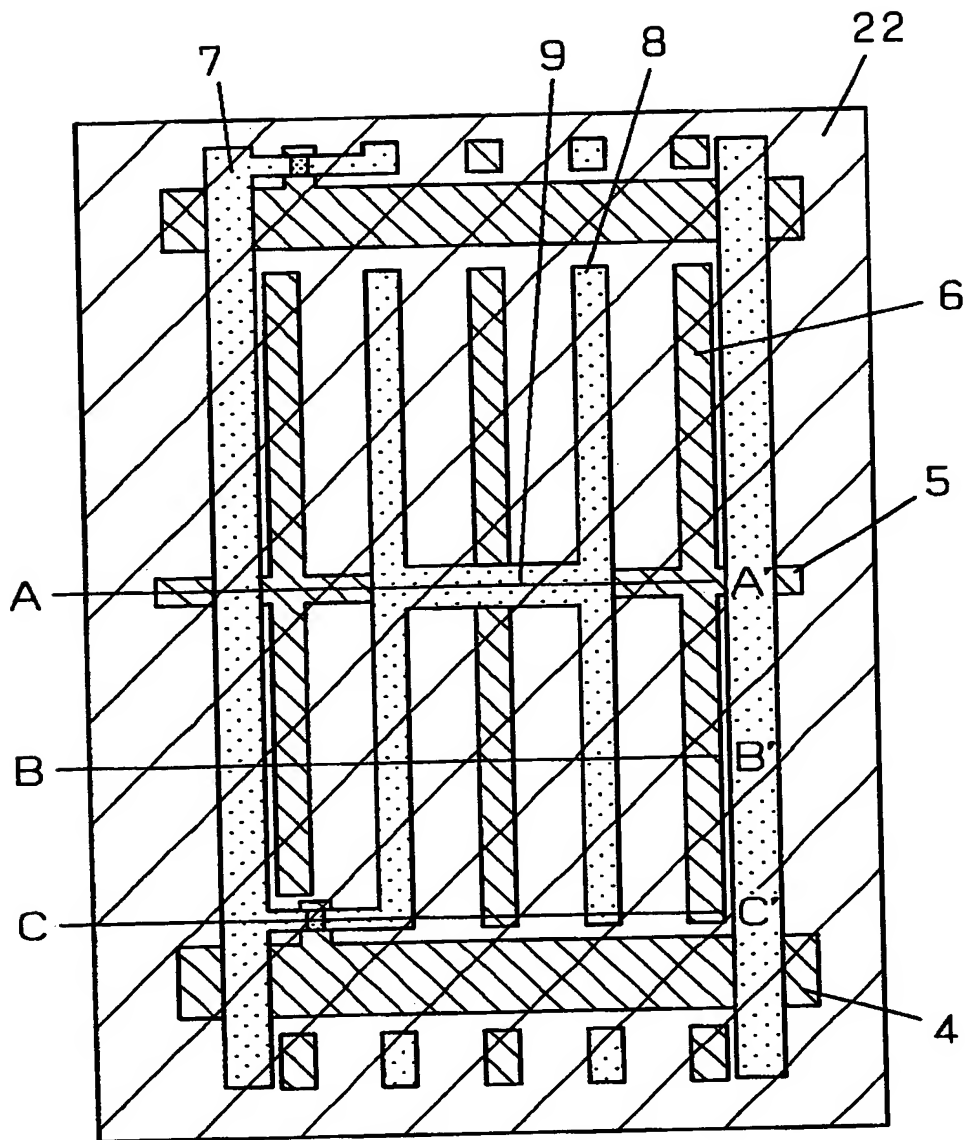
【図 32】



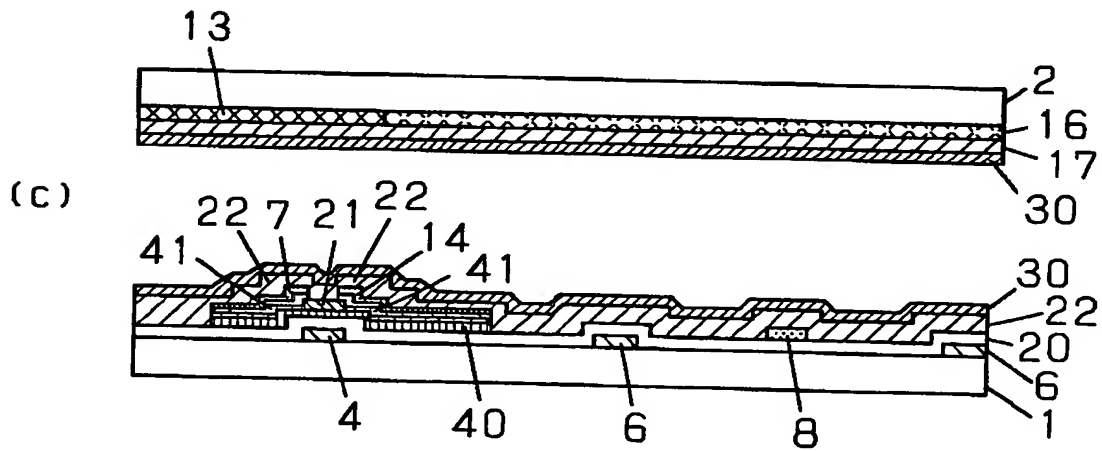
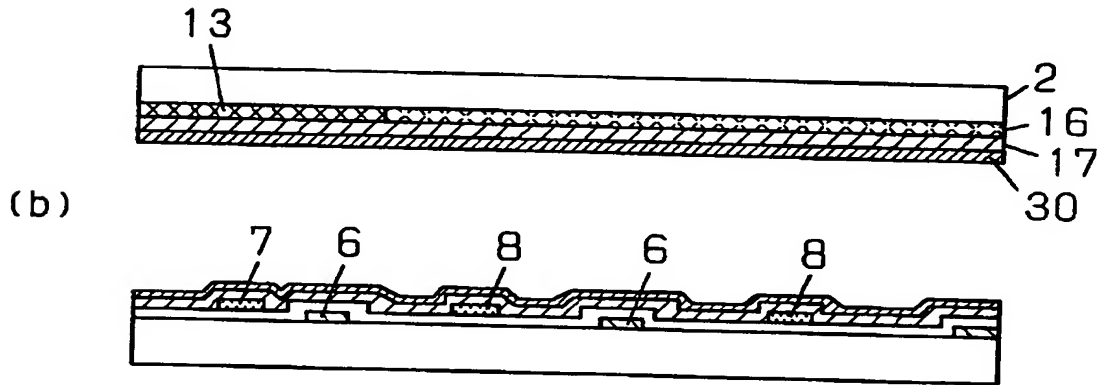
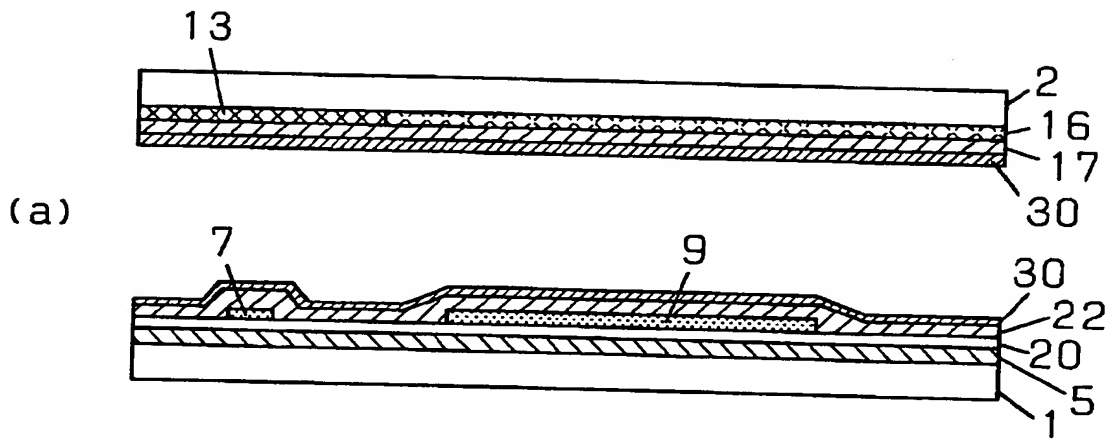
【図 33】



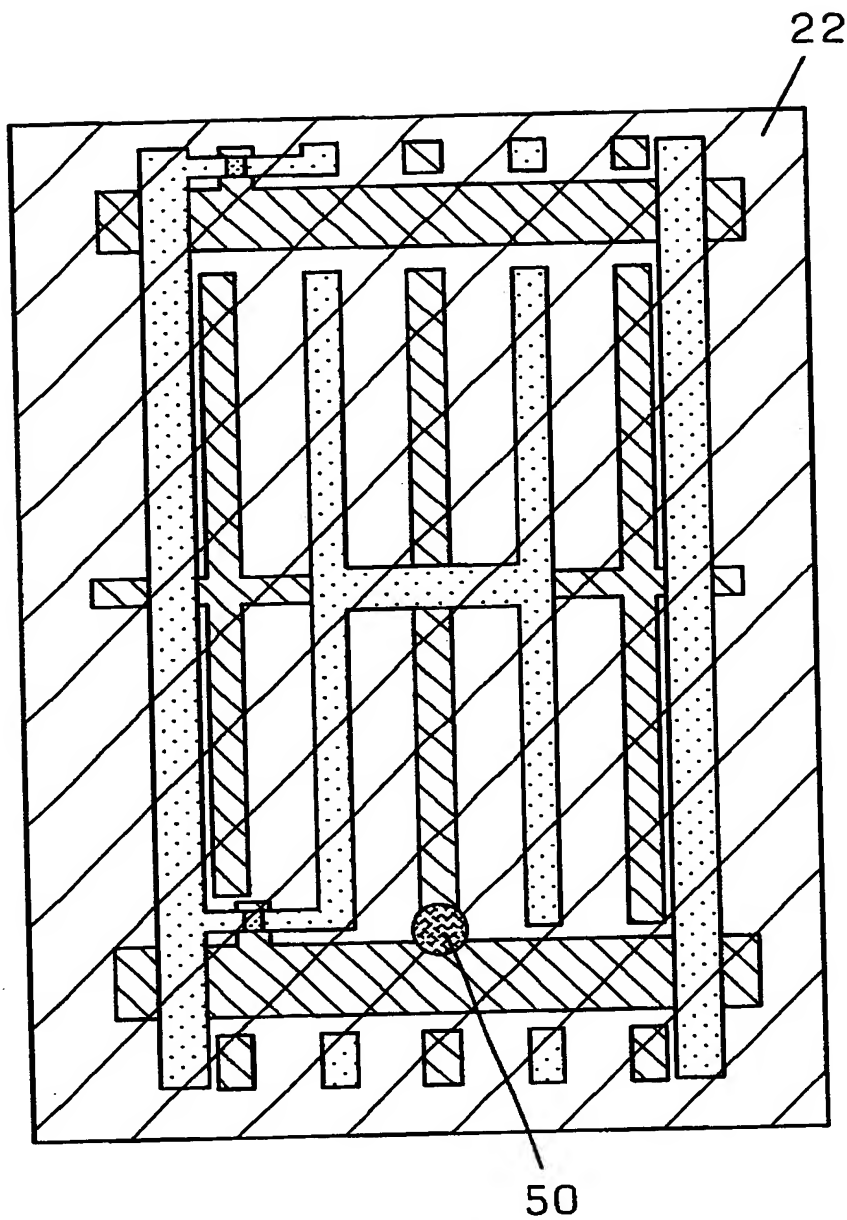
【図 34】



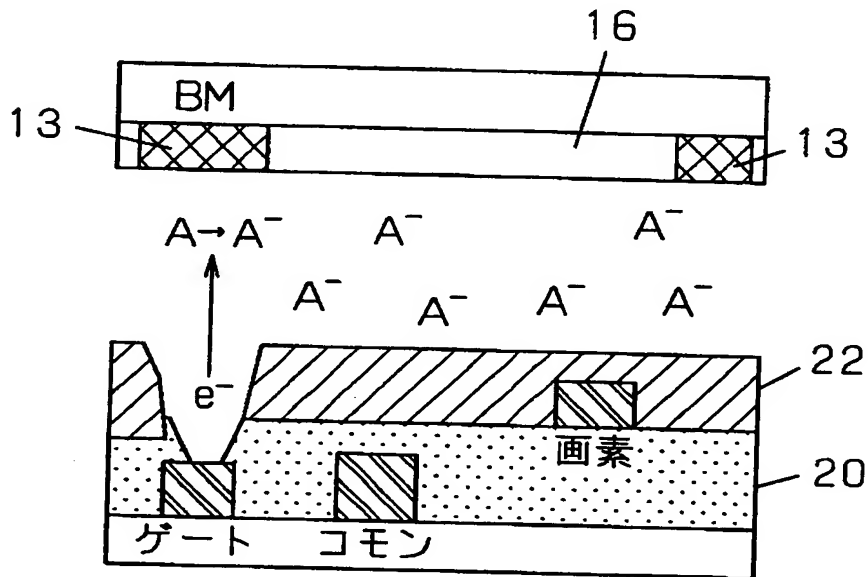
【図 35】



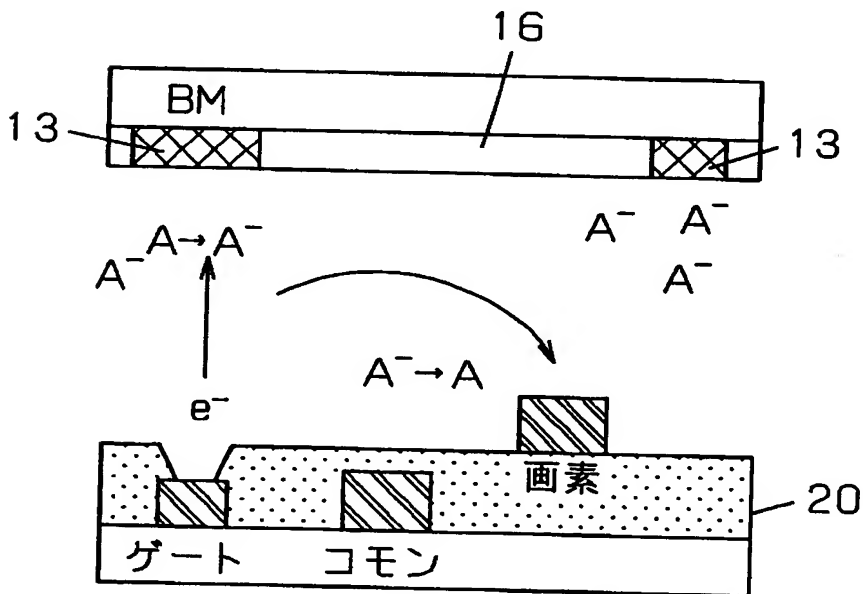
【図 3 6】



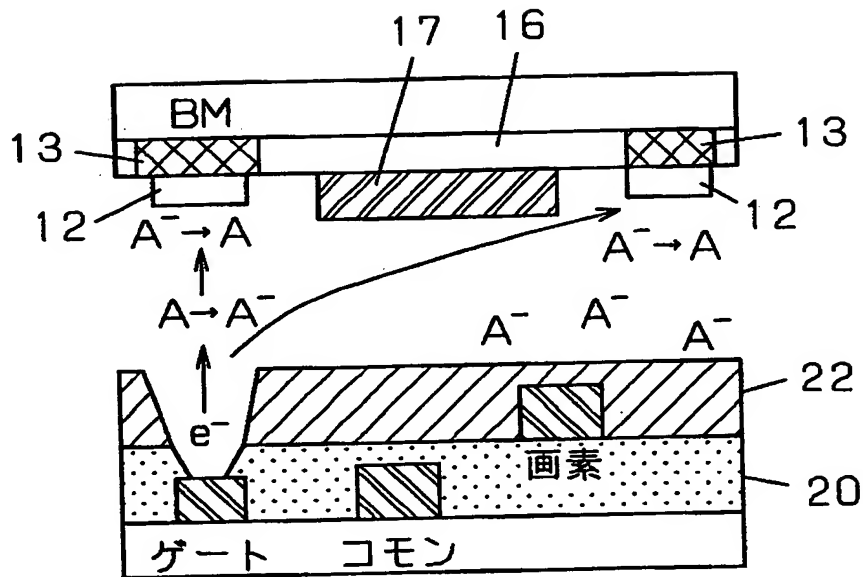
【図 37】



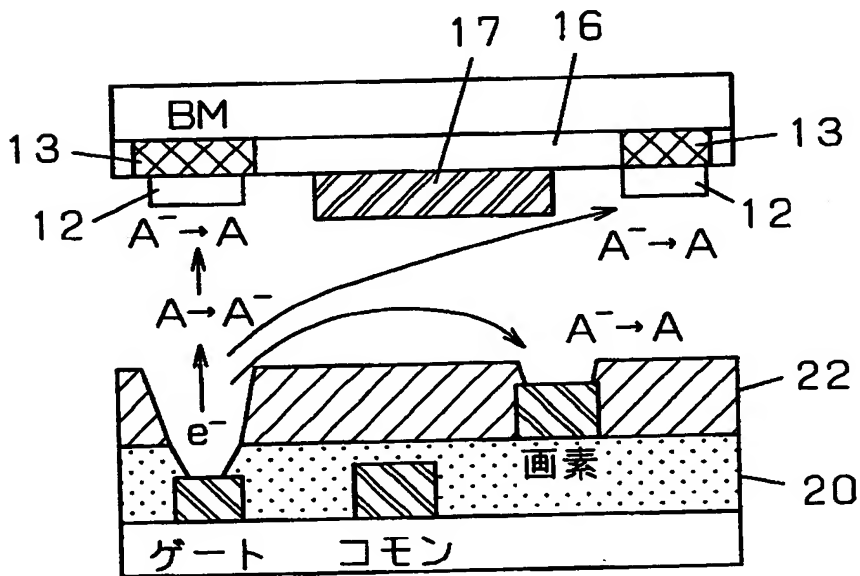
【図 38】



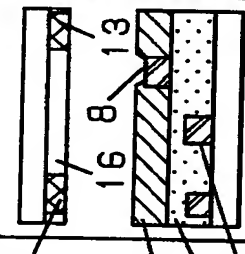
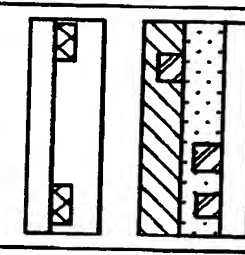
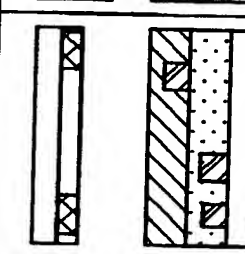
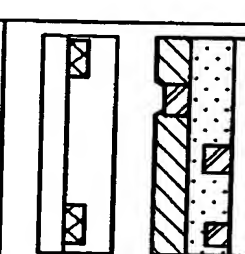
【図39】



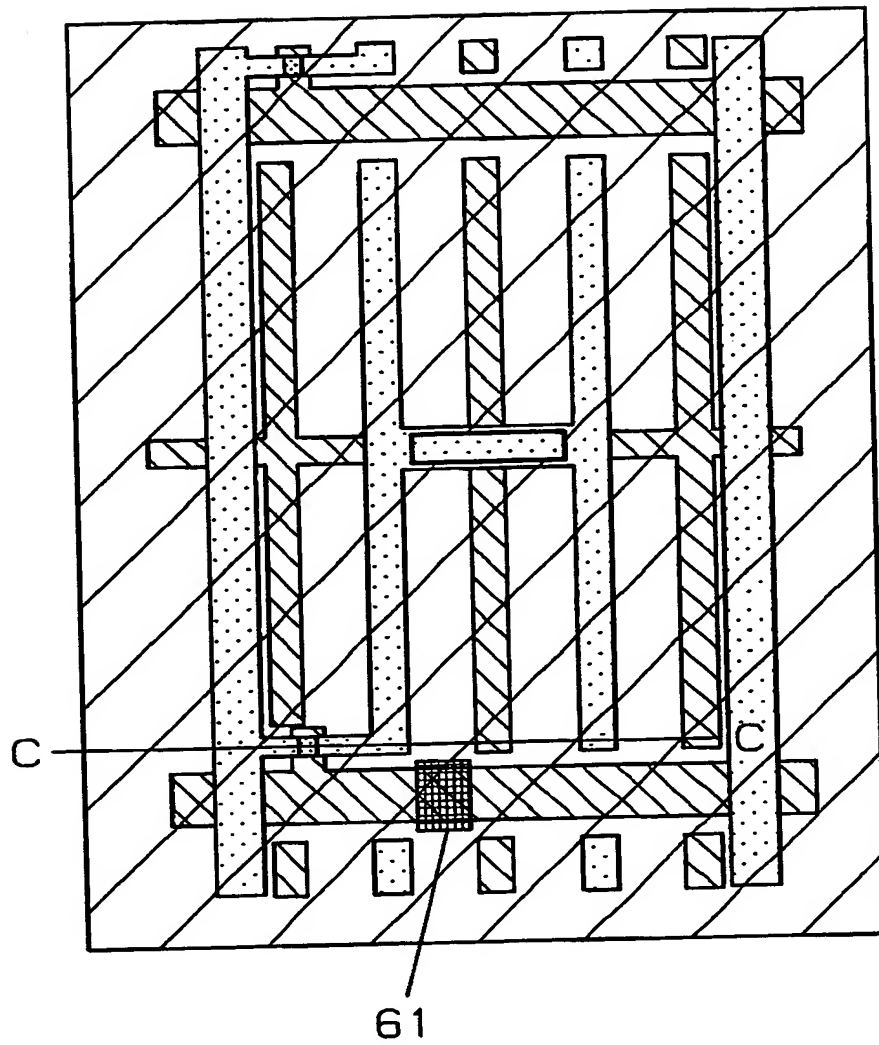
【図40】



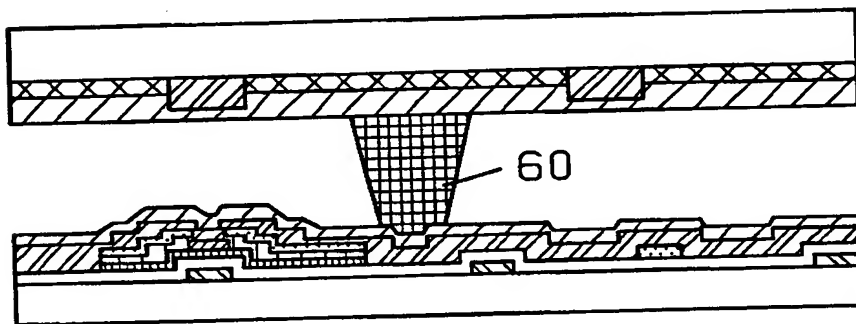
【図 4 1】

| | 本 発 明 | 比 較 例 1 | 比 較 例 2 | 比 較 例 3 |
|---------------|---|--|---|---|
| 黒点状ムラ の大きさ | 0.1mm | 5.0mm | 2.0mm | 2.0mm |
| 模 式 図 |  |  |  |  |

【図 4 2】



【図 4 3】



【書類名】 要約書

【要約】

【課題】 表示品位の良好な液晶素子を得ることを目的とする。

【解決手段】 一对の基板間に液晶を挟持しており、前記基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、前記画素電極及び前記共通電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、イオンを回収するための導電性物質が両基板に形成することによりゲート以外の電位が露出しており、ゲート電位部に偏在したイオンが他の電位の露出部分に拡散、非イオン化されるために表示ムラのない良好な表示品位の液晶素子を得ることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社